



ТЕХНИЧЕСКИ УНИВЕРСИТЕТ – СОФИЯ

ФАКУЛТЕТ ПО ЕЛЕКТРОННА ТЕХНИКА И ТЕХНОЛОГИИ

Катедра „ЕЛЕКТРОННА ТЕХНИКА”

Маг. инж. Александър Петков Радев

**ИЗСЛЕДВАНЕ И РАЗВИТИЕ НА МЕТОДИ И ПОДХОДИ ЗА
ПРОЕКТИРАНЕ НА CMOS ИНТЕГРАЛНИ СХЕМИ, РЕАЛИЗИРАНИ
ПО ДЪЛБОКИ СУБМИКРОННИ ТЕХНОЛОГИИ**

А В Т О Р Е Ф Е Р А Т

на дисертация за придобиване на образователна и научна степен
"ДОКТОР"

Област: 5. Технически науки

Професионално направление: 5.2. Електротехника, електроника и автоматика

Научна специалност: „Теория на електронните вериги и електронна
схемотехника”

Научен ръководител: Проф. д-р инж. Емил Манолов

СОФИЯ, 2025 г.

Дисертационният труд е обсъден и насочен за защита от Катедрения съвет на катедра „Електронна техника“ към Факултет по електронна техника и технологии на ТУ-София на редовно заседание, проведено на 14.05.2025г.

Публичната защита на дисертационния труд ще се състои на 23.09.2025г. от 13:00 часа в Конферентната зала на БИЦ на Технически университет – София на открито заседание на научното жури, определено със заповед № ОЖ-5.2-52 / 05.06.2025г. на Ректора на ТУ-София в състав:

1. чл.-кор. проф. д-тн инж. Георги Славчев Михов
2. проф. д-р Георги Василев Ангелов
3. проф. д-р инж. Рачо Маринов Иванов
4. проф. д-р инж. Елисавета Димитрова Гаджева
5. проф. д-р инж. Анатолий Трифонов Александров

Рецензенти:

1. чл.-кор. проф. д-тн. инж. Георги Славчев Михов
2. проф. д-р инж. Елисавета Димитрова Гаджева

Материалите по защитата са на разположение на интересуващите се в канцеларията на Факултет по електронна техника и технологии на ТУ-София, блок № 1, кабинет № 1355

Дисертантът е задочен докторант към катедра „Електронна техника“ на Факултет по електронна техника и технологии. Изследванията по дисертационната разработка са направени от автора.

Автор: маг. инж. Александър Радев

Заглавие: Изследване и развитие на методи и подходи за проектиране на CMOS интегрални схеми, реализирани по дълбоки субмикронни технологии

Тираж: 30 броя

Отпечатано в ИПК на Технически университет – София

I. ОБЩА ХАРАКТЕРИСТИКА НА ДИСЕРТАЦИОННИЯ ТРУД

Актуалност на проблема

Тенденция в развитието на CMOS технологиите в последните десетилетия е аналоговите схеми да бъдат реализирани в една и съща подложка с нарастващи по площ цифрови ядра и да следват развитието на CMOS технологиите такова, каквото цифровите схеми го диктуват. С появата на дълбоките субмикронни CMOS технологии (с минимална дължина на канала под 100nm), проектантите на аналогови схеми се сблъскват с много нови предизвикателства на различни етапи от проектирането, сред които понижено захранващо напрежение на схемите, необходимост част от транзисторите да работят в слаба и умерена инверсия, късоканални ефекти. Класическият подход за проектиране, обаче, не е подходящ когато проектирането се извършва при напрежения гейт-сорс близки до праговите (област на умерена инверсия) и обикновено не отчита късоканалните ефекти. Това налага изследването и развитието на други методи за проектиране.

Цел на дисертационния труд, основни задачи и методи за изследване

Цел на настоящия дисертационен труд е да се проучат, изследват, анализират и усъвършенстват основните методи и подходи за първоначално проектиране и оразмеряване (аналитично изчисляване) на аналогови интегрални схеми, реализирани на базата на дълбоки субмикронни CMOS технологични процеси.

За изпълнение на поставената цел са решени следните **задачи**:

1. Описание на класическите подходи за проектиране и оразмеряване на CMOS аналогови интегрални схеми с транзистори, реализирани в микронни и субмикронни технологии. Изясняване на недостатъците на класическите подходи при проектирането на схеми с транзистори, реализирани в дълбоки и свръхдълбоки субмикронни технологии. Дълбоки субмикронни технологии са тези, позволяващи минимална дължина на канала на транзистора L_{min} по-малка от 100nm.

2. Проучване и анализ на известните подходи за проектиране на аналогови схеми в дълбоки субмикронни процеси и дефиниране на изискванията към моделите за осъществяване на аналитичните изчисления. Ще бъдат проучени аналитични и графоаналитични подходи.

3. Анализ на най-разпространените модели на MOS транзистори и усъвършенстване на процедури за определяне на параметрите за аналитични изчисления от тях.

4. Разработване на методики за проектиране на типични схеми за осигуряване постояннотоковия режим, на базата на анализирани и усъвършенствани подходи за проектиране с наноразмерни транзистори. Сравнение на ефективността на различните подходи чрез симулация.

5. Разработване на методики за проектиране на типични усилвателни стъпала, на базата на анализирани и усъвършенствани подходи за проектиране с наноразмерни транзистори. Сравнение на ефективността на различните подходи чрез симулация.

6. Разработване на методики за проектиране на основни типове операционни усилватели, на базата на анализирани и усъвършенствани подходи за проектиране с наноразмерни транзистори. Сравнение на ефективността на различните подходи чрез симулация.

7. Обобщаване на получените резултати и предлагане на препоръки при проектиране на аналогови схеми по наноразмерни технологии.

Методите за изследване на поставените задачи могат да бъдат разделени на две групи: аналитични и симулационни. Аналитичните изследвания извеждат и обобщават основни моделни уравнения при развитие на подходи за проектиране (задачи 1, 2 и 3) и прилагат тези уравнения за анализ и проектиране на типични функционални елементи за аналогови интегрални схеми при решаването на задачи 4, 5 и 6. Симулационните изследвания се прилагат за определяне на транзисторни параметри, използвани в моделните уравнения, както и за оценка на резултатите от проектирането на аналогови схеми по предложените в дисертацията процедури.

Значителна част от симулационните изследвания са проведени в общодостъпната среда LTSpice и прилагат общодостъпни обобщени LTSpice транзисторни модели на технология 45nm, съдържащи типични стойности на транзисторни параметри реализирани в технологии с посочената дължина на канала. Използването на общодостъпни симулатор и модели дава възможност на читателя за лесноосъществима независима проверка и потвърждение на всички направени в настоящия дисертационен труд изследвания, препоръки и изводи. Част от проектантските задачи са повторени чрез прилагане на общодостъпни модели на технологии 180nm и 16nm, които отново изразяват типични транзисторни параметри, необвързани с конкретна полупроводникова фабрика, както и с транзисторни модели на технология XT011 на групата полупроводникови фабрики X-FAB Silicon Foundries SE с минимална дължина на транзисторния канал 110nm. Симулации с модели на технологии 45nm, 180nm и 16nm са извършени чрез симулатора LTSpice, а тези на технология 110nm: Cadence Spectre. Целта на тези повторения е да се докаже, че направените в дисертационния труд заключения могат да бъдат приложени за технологии с различна дължина на канала, обобщени модели и модели, предлагани от полупроводникова фабрика, както и в различна симулационна среда, включително широко разпространената в индустрията Cadence Spectre.

Като примери за проектиране в дисертационния труд се използват добре известни класически схемни решения, което позволява концентрирането върху сравнението между разглежданите методи за проектиране, без необходимост от отклоняване на вниманието за допълнително анализиране и осмисляне на функционирането на специфични, малко популярни схеми.

Научна новост и практическа приложимост

В дисертационния труд са описани и систематизирани три основни подхода за проектиране на аналогови интегрални схеми. Обобщени са моделни уравнения, използвани при прилагането на тези подходи и са изследвани методи за експериментално извличане на транзисторни параметри. Направена е подробна съпоставка на разглежданите методи при проектирането на различни схеми и са разработени препоръки за проектиране на аналогови интегрални схеми в дълбоки субмикронни процеси.

Публикации

Резултатите дисертационния труд са публикувани в пет самостоятелни научни публикации. Четири от тях са представени на IEEE конференции по електроника и са индексирани в Scopus. Една статия е публикувана в рецензирано научно списание в Р. България. Забелязани са 2 цитирания (без автоцитиранията).

Структура и обем на дисертационния труд

Дисертационният труд е в обем от 172 страници, като включва въведение, 4 глави за решаване на формулираните основни задачи, списък на основните приноси, списък на публикациите по дисертацията и използвана литература. Цитирани са общо 84 литературни източници, като 71 са на латиница и 5 на кирилица, а останалите са интернет адреси. Работата включва общо 65 фигури и 29 таблици. Номерата на фигурите и таблиците в автореферата съответстват на тези в дисертационния труд.

В приложение са предоставени допълнителни примери за анализ и проектиране, които потвърждават направените в дисертационния труд изводи, както и използваните модели на технологии 45nm, 180nm и 16nm. Приложението се състои от 30 страници и включва 8 фигури и 5 таблици.

II. СЪДЪРЖАНИЕ НА ДИСЕРТАЦИОННИЯ ТРУД

ГЛАВА 1. ВЪВЕДЕНИЕ

1.1. Тенденции при проектирането на аналогови интегрални схеми

Намаляването на дължината на канала на транзисторите е най-характерната черта в развитието на съвременните CMOS технологии. С появата на дълбоките субмикронни технологии (с минимална дължина на канала под 100nm), проектантите на аналогови схеми се сблъскват с много нови предизвикателства на различни етапи от проектирането: понижено захранващо напрежение на схемите, необходимост част от транзисторите да работят в слаба и умерена инверсия, късоканални ефекти и др.

1.2. Етапи на проектиране на аналогови интегрални схеми

Проектирането и производството на CMOS интегрални схеми е сложен и продължителен процес, който включва няколко основни етапа: уточняване на спецификация; схемотехнично проектиране; топологично проектиране и ресимулация след извличане на паразитни елементи; производство и тест. Схемотехничното проектиране от своя страна включва аналитични изчисления, избор на схемно предложение и симулации, като всяка от тези стъпки може да има множество итерации до достигане на крайната цел: избор на най-доброто възможно схемно решение за всеки блок от схемата.

За успешното изпълнение на аналитичните изчисления и предоставяне на схемно предложение, към проектантът се отправя изискване да познава методиките за проектиране и да може да извърши основни аналитични изчисления. Тези методики трябва да са точни и интуитивни и да отчитат тенденциите в съвременните технологии.

Фокусът на настоящата дисертация е именно върху методиките за проектиране.

1.3. Цел на дисертационния труд

Целта на настоящия дисертационен труд е да се проучат, изследват, анализират и усъвършенстват основните методи и подходи за първоначално проектиране и оразмеряване (аналитично изчисляване) на аналогови интегрални схеми, реализирани на базата на дълбоки субмикронни CMOS технологични процеси.

За постигане на поставената цел са решени седем задачи, свързани с изследване и анализиране на класическите и съвременни подходи за проектиране на аналогови CMOS интегрални схеми; разработени са методики за проектиране на типични схеми и усилвателни стъпала реализирани в субмикронни технологии, като на база получените резултати са формулирани препоръки за проектиране на аналогови схеми в дълбоки

субмикронни технологии. Подробно описание на поставените задачи е предоставено на стр. 4-5 от настоящия автореферат.

1.4. Организация на дисертационния труд

Дисертационният труд е организиран за решаване на поставените задачи по следния начин.

Методите за проектиране, развити в литературата, са тясно свързани с различното представяне на MOS транзисторите, тоест - с техните модели, поради което е необходимо тези модели да бъдат разгледани предварително. Това е направено в глава 2 - Модели на MOS транзистори: видове, основни уравнения, ефекти на късия канал.

Глава 3 е посветена на подходите за проектиране на аналогови CMOS схеми, като разглежда последователно три метода: класически аналитичен метод чрез модел, базиран на праговото напрежение; аналитичен метод чрез използването на модел, базиран на инверсия заряд; графоаналитичен метод, т. нар. g_m/I_D методология. Приложението на трите метода е демонстрирано чрез проектиране на усилвателно стъпало общ сорс.

За прилагане на описаните методи за проектиране е необходимо проектантът да бъде запознат и да може да извлича определени транзисторни параметри реализирани в зададената технология. В глава 4 е извършен обзор на подходите за определяне на транзисторните параметри, като за някои от тях са представени по повече от един метод за извличането им.

В глава 5 е извършено задълбочено разглеждане на приложението на трите разгледани метода при анализ и проектиране на аналогови интегрални схеми. За всяка от разгледаните схеми е извършен анализ на резултатите и са изтъкнати особеностите при приложението на всеки от методите.

В заключението на дисертационния труд е извършено обобщаване на получените резултати и предлагане на препоръки при проектиране на аналогови схеми по наноразмерни технологии.

ГЛАВА 2. МОДЕЛИ НА MOS ТРАНЗИСТОРИ: ВИДОВЕ, ОСНОВНИ УРАВНЕНИЯ, ЕФЕКТИ НА КЪСИЯ КАНАЛ

2.1. Увод

Към моделите на MOS транзисторите се отправят изисквания да осигуряват както уравнения за възможно най-точни и бързи компютърни симулации, така и опростени уравнения и заместващи схеми за аналитични изчисления. Необходимо е при аналитични изчисления да се постигне компромис между простота на модела и неговата точност. Моделите трябва да запазват своята точност във всички възможни работни точки на транзистора.

2.2. Видове модели на MOS транзистори

Моделите могат да се разделят на няколко основни категории и под-категории. Най-често срещаните категории модели са TCAD и компактните модели. TCAD моделите играят важна роля в началните етапи на разработването на дадена технология. Отличават се с висока точност, но не намират приложение в схемотехниката поради своята сложност и необходимост от значителна изчислителна мощност при симулации на схемите. В сравнение с тях, компактните модели въвеждат опростени и по-бързи за симулиране представяния на електрическите характеристики на приборите. Компактните модели могат да бъдат разделени на няколко подгрупи: физични, чийто уравнения параметри имат реален физичен смисъл, но моделните уравнения са опростени спрямо тези на TCAD моделите; таблични, за които стойностите на токовете и напреженията на изводите на прибора се определят от предварително измерени и записани стойности на тези токове и

напрежения в комбинация с интерполационни функции за пресмятане; емпирични компактни модели, базирани на математически уравнения, целта на които е да настроят характеристиките на прибора към реални измервания, а параметрите им нямат физически смисъл.

Трябва да се отбележи, че границата между физичните и емпиричните модели е размита – някои физични модели включват емпирични представяния. В литературата физичните компактни модели обикновено са наричани просто „компактни модели“. Следва кратък обзор на отделните подгрупи и основните им уравнения.

2.3. Видове модели на MOS транзистори

2.3.1. Компактни модели, базирани на праговото напрежение

Този тип компактни модели на MOS транзистори използват отделни уравнения за моделиране на различните работни области. В основата им са изразите за дрейновия ток в силна ($I_{D,SI}$) и слаба ($I_{D,WI}$) инверсия, добре познати от литературата посветена на аналоговата схемотехника:

$$I_{D,SI} = \frac{K}{2} \cdot \frac{W}{L} \cdot (U_{GS} - U_{TH})^2 \cdot [1 + \lambda \cdot (U_{DS} - U_{DS,SAT})] \quad \text{за } |U_{DS}| \geq |U_{DS,SAT}| \quad (2.1)$$

$$I_{D,SI} = K \cdot \frac{W}{L} \cdot (U_{GS} - U_{TH} - \frac{U_{DS}}{2}) \cdot U_{DS} \quad \text{за } |U_{DS}| \leq |U_{DS,SAT}| \quad (2.3)$$

$$I_{D,WI} = I_{D0} \cdot \frac{W}{L} \cdot (1 - e^{-\frac{U_{DS}}{\Phi_T}}) \cdot e^{\frac{U_{GS} - U_{TH}}{n \cdot \Phi_T}} \quad (2.4)$$

С W и L са означени ширината и дължината на канала на транзистора, K – фактор на стръмността, U_{GS} и U_{DS} са съответно напреженията между гейта и сорса и дрейна и сорса, $U_{DS,SAT}$ – напрежение дрейн-сорс на насищане, U_{TH} – прагово напрежение, λ е коефициентът на модулация на дължината на канала, Φ_T – топлинния потенциал, а технологичният ток I_{D0} и факторът на наклона n са свързани с технологичния процес.

2.3.2. Компактни модели, базирани на инверсия заряд и повърхностния потенциал

Характерно за тези модели е, че се използва едно уравнение за пресъздаване на характеристиките във всички работни области (т. нар. all-region modeling).

Нека е представен NMOS транзистор с потенциали на гейта, дрейна, сорса и подложката съответно V_G , V_D , V_S и V_B . Нека потенциалът на канала е означен с V_C , като той има различна стойност по дължината на канала и $V_S \leq V_C \leq V_D$. Дрейновият ток може да се изрази чрез израза:

$$I_D = -\mu_n \cdot \frac{W}{L} \int_{V_S}^{V_D} Q'_I dV_C = -\mu_n \cdot C'_{ox} \cdot \frac{W}{L} \int_{V_S}^{V_D} \frac{Q'_I}{C'_{ox}} dV_C \quad (2.14)$$

където μ_n е концентрацията на токоносителите, C'_{ox} е специфичният капацитет на гейтовия окис, като $\mu_n \cdot C'_{ox} = K$, Q'_I е плътност на инверсия заряд и представлява количеството електрически заряд на единица площ в инверсионния слой.

При компактните модели, базирани на инверсия заряд, се въвежда напрежението на прищипване V_P като потенциалът на тази част от канала, за която плътността на инверсия заряд приема стойност равна на $-n \cdot C'_{ox} \cdot \Phi_T$. Праговото напрежение V_{T0} се дефинира като потенциала на гейта спрямо подложката, при което $Q'_I = 0$ и $V_C = 0$. Зависимостта между V_P , V_G , V_{T0} и n е:

$$V_P \approx \frac{V_G - V_{T0}}{n} \quad (2.16)$$

Решаването на (2.14) се приема като отправна точка, от която се извеждат уравненията на моделите, базирани на повърхностния потенциал и инверсия заряд.

2.3.3. Представяне на дрейновия ток чрез права и обратна съставка в компактните модели, базирани на инверсия заряд

Едно от възможните решения на (2.14) се явява уравнение (2.24), което е основно уравнение на модела, базиран на инверсия заряд:

$$I_D = -\frac{\mu_n \cdot W}{L} \cdot \left[\frac{Q'_{IS}{}^2 - Q'_{ID}{}^2}{2 \cdot n \cdot C'_{ox}} - \phi_T \cdot (Q'_{IS} - Q'_{ID}) \right] \quad (2.24)$$

където Q'_{IS} и Q'_{ID} са плътността на инверсия заряд при сорса и дрейна. Горният израз може да бъде записан чрез въвеждане на дефинициите за прав (I_F) и обратен (I_R) ток на MOS транзистора:

$$I_D = I_F - I_R \quad (2.25)$$

$$I_{F(R)} = \frac{W}{L} \cdot \mu_n \cdot \left(\frac{Q'_{IS(D)}{}^2}{2 \cdot n \cdot C'_{ox}} - \phi_T \cdot Q'_{IS(D)} \right) \quad (2.26)$$

2.4. Ефекти на късия канал в MOS транзисторите

При намаляване дължината на канала и дебелината на гейтовия окис, редица ефекти, произхождащи от технологичните особености на транзисторите, започват да оказват все по-забележимо влияние върху характеристиките на транзистора. Някои от тези явления са: зависимост на праговото напрежение от напрежението дрейн-сорс; зависимост на праговото напрежение от дължината и ширината на канала; деградация на подвижността на токоносителите в зависимост от хоризонталното и вертикалното електрическо поле; нарастване на гейтовия ток; ограничаване на транзитната честота f_T при високи стойности на дрейновия ток; увеличен разброс на транзисторните параметри; модулация на праговото напрежение в следствия на появата на обеднена област в полисилиция; проява на т. нар. Балистичен транспорт на токоносителите, който се изразява в увеличаване на средната им скорост в късоканални транзистори.

Дисертационният труд разглежда уравнения за аналитичното изразяване на част от тези ефекти, но е изтъкнато, че включването им в уравненията за аналитични изчисления е непрактично, а донякъде и невъзможно. Проектантът обаче трябва да е запознат с тези ефекти, за да може по-лесно да анализира резултатите от симулации и сравнява с аналитичните изчисления.

2.5. Обобщение на резултатите от втора глава

В глава 2 е извършена класификация на моделите на MOS транзисторите. Разгледани са основни видове компактни модели: базирани на праговото напрежение, базирани на инверсия заряд и базирани на повърхностния потенциал и са представени техни основни уравнения. По-голямо внимание е обърнато на моделите базирани на инверсия заряд, които наред с моделите базирани на праговото напрежение намират приложение и при аналитични изчисления.

Разгледани са редица ефекти на късия канал, които влияят върху параметрите на транзисторите, реализирани в дълбоки субмикронни технологии.

ГЛАВА 3. МЕТОДИ ЗА ПРОЕКТИРАНЕ НА АНАЛОГОВИ ИНТЕГРАЛНИ СХЕМИ

3.1. Увод

Глава 3 разглежда три популярни метода за проектиране на аналогови интегрални схеми: прилагаш модел, базиран на праговото напрежение; прилагаш опростен модел за аналитични изчисления, базиран на инверсия заряд и по-конкретно – EKV модела; полумпиричната gm/ID методология.

3.2. Приложението на модела, базиран на праговото напрежение. Недостатъци при използването му в субмикронни и дълбоки субмикронни технологии

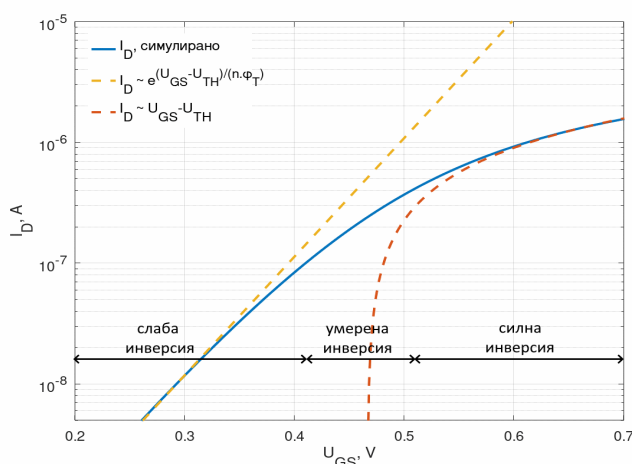
Моделът се основава на уравненията на дрейновия ток на MOS транзисторите в силна и слаба инверсия, описани в т. 2.3.1. Други параметри, ключови при прилагането на този модел, са ефективното напрежение $U_{EFF}=U_{GS}-U_{TH}$ и стръмността $g_m=dI_D/dU_{GS}$. (3.1) изразява стръмността в силна инверсия и насищане, (3.3) – силна инверсия и линейна област, (3.4) – слаба инверсия.

$$g_m = K \cdot \frac{W}{L} \cdot (U_{GS} - U_{TH}) = \sqrt{2 \cdot K \cdot \frac{W}{L} \cdot I_D} = \frac{2 \cdot I_D}{U_{GS} - U_{TH}} \quad (3.1)$$

$$g_m = K \cdot \frac{W}{L} \cdot U_{DS} \quad (3.3)$$

$$g_m = \frac{I_D}{n \cdot \varphi_T} \quad (3.4)$$

Уравненията на дрейновия ток (2.1-2.4) и стръмността (3.1-3.4) имат две съществени ограничения. Първото е, че моделът осигурява уравнения за дрейновия ток когато транзисторът е в силна и слаба инверсия, но не и когато е в умерена. На фиг. 3.2. е съпоставена симулирана стойност на дрейновия ток с аналитичните му приближения от уравнения (2.1) и (2.4) в линейна област. Стойността на напрежението гейт-сорс от $\pm 10\%$ около прагово е означена като област на умерена инверсия. Апроксимацията на дрейновия ток с което и да било от двете уравнение не пресъздава точно характеристиката на транзистора.



Фиг. 3.2: Симулирани и аналитично изведени предавателни характеристики на транзистор с размери на канала $0,9\mu m/0,9\mu m$ в 45nm технология. $U_{TH}=0,471V$, $K=520\mu A/V^2$. $U_{SB}=0V$, $U_{DS}=0,013V$

Второ ограничение на посочените уравнения, че те не отчитат ефектите на късия канал, описани в т. 2.4. За да се преодолее този проблем е необходимо или ефектите на късия канал да бъдат взети под внимание, или да се използват други модели и методи за проектиране.

3.3. Модел за аналитични изчисления, базиран на инверсия заряд. Използване на нормализирания дрейнов ток като основен параметър на транзистора

Настоящата подглава доразвива уравненията от т. 2.3 за да демонстрира как параметрите на моделите, базирани на инверсия заряд, могат да бъдат използвани при проектиране. Като основни параметри на транзистора се използват нормализирания дрейнов ток i (в част от литературата наричан и обозначаван като коефициент на инверсия, IC), специфичният ток I_S , зависещ основно от технологията и температурата, както и геометричните размери на канала на транзистора, ширина W и дължина L . Въвеждат се величините: нормализирана плътност на инверсия заряд q , като нормализираните плътности на заряда при дрейна и сорса се обозначават с q_D и q_S ; нормализирани прав и обратен ток i_F и i_R ; специфичен ток $I_{S\Box}$ на транзистор с единичен размер (равни W и L). Основните уравнения са следните:

$$q = \frac{Q'_I}{2 \cdot n \cdot \phi_T \cdot C'_{ox}} \quad (3.17)$$

$$I_{S\Box} = 2 \cdot n \cdot \phi_T^2 \cdot \mu \cdot C'_{ox} \quad (3.18)$$

$$I_S = I_{S\Box} \cdot \frac{W}{L} \quad (3.19)$$

$$i = I_D / I_S \quad | \text{насищане} \quad (3.21)$$

$$i_{F,R} = q_{S,D}^2 + q_{S,D} \quad (3.22)$$

$$q_{S,D} = \frac{1}{2} \cdot (\sqrt{1 + 4 \cdot i_{F,R}} - 1) \quad (3.23)$$

$$\frac{V_P - V_{S,D}}{\phi_T} = 2 \cdot (q_{S,D} - 1) + \ln(q_{S,D}) \quad (3.24)$$

$$i = i_F - i_R \quad (3.25)$$

$$V_{T0} = V_G - n \cdot V_P \quad (3.28)$$

В литературата токът $I_{S\Box}$ има два алтернативни записа, като в настоящата дисертация се използва формата, прилагана и от създателите на EKV модела. В дисертацията, горните моделни уравнения често са реферирани като моделни уравнения на опростения (за аналитични изчисления) EKV модел.

Малосигналният модел на опростения EKV модел за ниски честоти е изграден от 4 източника на ток от дрейна към сорса със стойности $g_{md} \cdot V_d$, $-g_{ms} \cdot V_s$, $g_m \cdot V_g$, $g_{mb} \cdot V_b$, които изразяват изменението на дрейновия ток от потенциалите съответно на дрейна v_d , сорса v_s , гейта v_g и подложката v_b . Четирите стръмности са свързани помежду си и с уравнения (3.17-3.28) чрез следните изрази:

$$g_m + g_{md} + g_{mb} = g_{ms} \quad (3.33)$$

$$g_{ms(d)} = -\mu_n \cdot \frac{W}{L} \cdot Q'_{IS(D)} = \frac{I_S}{2 \cdot \phi_T} \cdot (\sqrt{1 + 4 \cdot i_{F,R}} - 1) \quad (3.34)$$

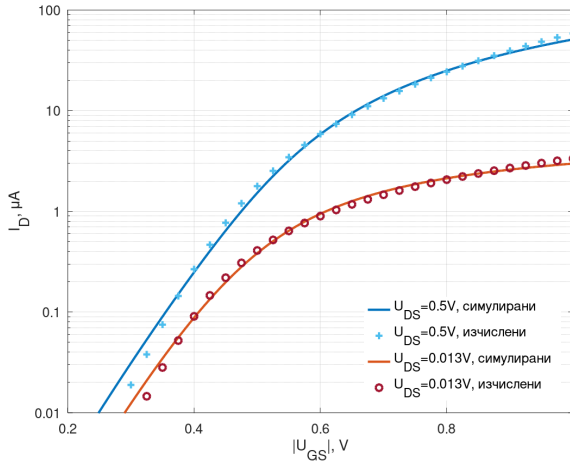
$$g_m = (g_{ms} - g_{md}) / n \quad (3.35)$$

$$g_{mb} = (n - 1) \cdot g_m \quad (3.36)$$

$$\frac{g_m}{I_D} = \frac{2}{n \cdot \varphi_T} \cdot \frac{1}{\sqrt{1+4 \cdot i_F} + \sqrt{1+4 \cdot i_R}} \quad (3.38)$$

На фиг. 3.8 са съпоставени снети чрез симулации и изчислени чрез уравнения (3.17)-(3.25) характеристики на NMOS транзистор в технология 45nm.

Може да бъде направено наблюдението, че изчислените характеристики успяват да възпроизведат транзисторните характеристики във всички области на инверсия (всички стойности на напрежението гейт-сорс). Тъй като моделът за аналитични изчисления е опростен и борава с ограничен набор транзисторни параметри, той не може да постигне еднакво висока точност при всички нива на инверсия. В случая от фиг. 3.8, моделът за аналитични изчисления има добро съвпадение със симулираните характеристики в областта на силна и умерена инверсия и по-слабо: в областта на слаба инверсия.



Фиг. 3.8: Симулирани и изчислени характеристики на опростения EKV модел за NMOS транзистор на технология 45nm за две стойности на напрежението U_{DS} .
 $W/L=0,27\mu m/0,27\mu m$, $U_{SB}=0V$,
 $V_{T0}=0,5V$

3.4. g_m/I_D методология

Методологията използва предварително снети стойности на дрейновия ток I_D^X и стръмността g_m^X на референтен транзистор с известни размери W^X и L^X за множество стойности на потенциалите на изводите на транзистора. Снемането на тези стойности може да бъде извършено след симулации на компютърния модел на транзистора или в лабораторни условия на вече реализиран транзистор. Нека оразмеряваният транзистор е с размери W и L , а дрейновият му ток и стръмността се означат с I_D и g_m . Ако на изводите и на двата транзистора се подават едни и същи потенциали, то:

$$I_D = g_m / \left(\frac{g_m}{I_D} \right)^X \quad (3.47)$$

$$W/L = (W^X/L^X) \cdot (I_D/I_D^X) \quad (3.50)$$

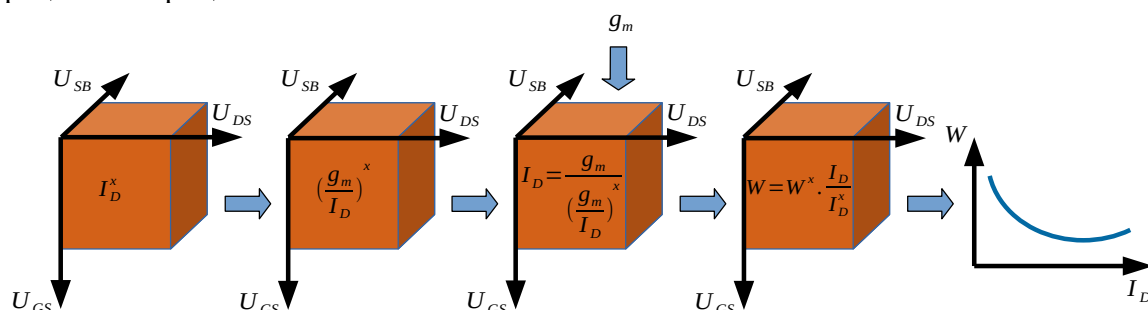
$$W/L = (W^X/L^X) \cdot (g_m/g_m^X) \quad (3.51)$$

Отношението g_m/I_D се нарича още ефективност на стръмността и е често използван параметър при прилагането на методологията.

Приложението на методологията е илюстрирано на фиг. 3.10. Нека целта е да се определи ширината на транзистор за схемата общ сорс по такъв начин, че транзисторът да удовлетворява изискване за определена стойност на стръмността g_m . Проектантът разполага с набор от стойности на I_D^X при различни стойности на напреженията U_{GS} , U_{DS} и U_{SB} . Всеки от кубовете на фигурата изобразява матрици от стойности за съответната величина.

Този подход за проектиране има две съществени предимства. Първо, позволява постигането на голяма точност на изчисленията, тъй като определянето на стойностите на I_D^x се осъществява чрез симулация на относително точни компютърни модели. И второ - използва предварително снети графики и таблици за сметка на някои от уравненията, което го прави бърз и лесен за прилагане.

При боравенето с входни данни под формата на матрици може да се използва различен софтуер (MATLAB, Excel, обикновен текстов редактор и др.), като в настоящия дисертационен труд се използва общодостъпния софтуер GNU Octave, специализиран за операции с матрици.

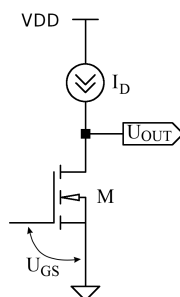


Фиг. 3.10: Полу-емпиричен подход за проектиране с g_m/I_D методология

При прилагането на метода е препоръчително проектантът да борави с входни данни за единичен транзистор с дължина на канала L^x възможно най-близка до дължината L на оразмеряваният транзистор.

3.5. Приложение на разгледаните методи за проектиране на аналогови интегрални схеми. Проектиране на стъпало общ сорс

Описаните три метода за проектиране са приложени и сравнени при оразмеряване схема общ сорс, показана на фиг. 3.13. Схемата е оразмерена за три различни области на инверсия на транзистора: силна, умерена и слаба, обусловени от напреженията $U_{GS}=0,3V$, $U_{GS}=0,5V$ и $U_{GS}=0,7V$. Нека целта на оразмеряването е определяне на ширината W и дрейновият ток I_D на транзистор M за постигане на стръмност $g_m=200\mu S$. Дължината на транзисторния канал е избрана да бъде $L=6.L_{MIN}=270nm$, а $U_{DS}=0,5V$. Избраната технология е $45nm$ с параметри: $U_{TH0}=0,471V$; $V_{T0}=0,5V$; $n^I=1,8$; $n^{II}=1,3$; $I_{SQ}=0,89\mu A$; $I_{D0}=1,23\mu A$; $K=520\mu A/V^2$; $\lambda=0,077V^{-1}$. Приема се $\phi_T=26mV$. n^I е стойност на фактора на наклона, използван в модела, базиран на праговото напрежение, а n^{II} – в модела, базиран на инверсия заряд, като необходимостта от различни стойности е разяснена в глава 4.10.



Фиг. 3.13: Схема общ сорс

3.5.1. Проектиране с модел, базиран на праговото напрежение

При $U_{GS}=0,3V$ транзисторът е в слаба инверсия. Дрейновият ток се определя след решаване на (3.4) спрямо I_D , а W се определя от (2.4).

При $U_{GS}=0,5V$ и $U_{GS}=0,7V$ се прилага набора от уравнения за силна инверсия. I_D и W се определят след прилагане на изразите в (3.1).

3.5.2. Проектиране с модел, базиран на инверсия заряд

От (3.17)-(3.28) и (3.38) последователно се определят стойностите на V_p , q_s , q_D , i_F , i_R , i , I_D , I_s и W . Тези стъпки се повтарят за всяка стойност на U_{GS} .

3.5.3. Проектиране чрез g_m/I_D методология

Стойностите на U_{GS} , U_{DS} и U_{SB} на оразмерявания транзистор са известни. Нека стойностите на I_D^X и g_m^X на референтен транзистор с дължина $L^X=L=270\text{nm}$ са известни за всички напрежения на неговите терминали, включително за стойностите на U_{GS} , U_{DS} и U_{SB} на оразмерявания транзистор.

При известни стойности на I_D^X , g_m^X и g_m , стойността на I_D се определя след заместване в (3.47), а тази на W – след заместване в (3.50) или (3.51). Тези две стъпки се извършват за всяка стойност на U_{GS} .

3.5.4. Сравнение на резултатите и обобщение

Параметрите I_D и g_m са симулирани чрез симулатора LTSpice за всички стойности на W определени в т. 3.5.1-т. 3.5.3, и за трите стойности на U_{GS} . Резултатите са показани в таблица 3.2. С Δ [%] е означено отклонението на симулираните спрямо изчислените или зададени стойности. Съответствието между зададени и симулирани параметри е условно означено в таблица 3.3 като отлично ако отклонението е в граници $\pm 5\%$ и много добро: при отклонение от $\pm 20\%$.

Таблица 3.2: Изчислени и симулирани стойности на транзисторните параметри за оразмеряваната схема общ сорс (фиг. 3.13)

Случай	Методология	W [μm]	I _D			g _m		
			Изчислен [μA]	Сим. [μA]	Δ [%]	Задание [μS]	Сим. [μS]	Δ [%]
U _{GS} =0,3V	Праг. напр.	79,36	9,36	9,46	1,07	200	205,96	2,98
	EKV модел	107,09	6,89	12,77	85,34	200	277,95	38,97
	gm/ID	80	9,19	9,54	3,81	200	207,63	3,81
U _{GS} =0,5V	Праг. напр.	3,45	2,9	20,15	594,83	200	323,99	62
	EKV модел	2,05	13,52	11,96	-11,54	200	192,34	-3,83
	gm/ID	2,2	12,43	12,85	3,38	200	206,67	3,33
U _{GS} =0,7V	Праг. напр.	0,44	22,9	23,34	1,92	200	163,06	-18,47
	EKV модел	0,61	29,43	32,37	9,99	200	226,09	13,05
	gm/ID	0,55	28,63	29,15	1,82	200	203,58	1,79

Таблица 3.3: Съответствие между зададени и симулирани параметри при оразмеряваната схема общ сорс (фиг. 3.13)

Методология	Степен на инверсия		
	Слаба	Умерена	Силна
Модел, базиран на праговото напрежение	Отлично съответствие	Лошо съответствие	Много добро съответствие
Модел, базиран на инверсия заряд	Лошо съответствие	Много добро съответствие	Много добро съответствие
gm/ID методология	Отлично съответствие	Отлично съответствие	Отлично съответствие

На база резултатите от таблица 3.3 могат да бъдат отправени следните препоръки към проектантите:

- При работа в слаба инверсия са подходящи за приложение методологията на модела, базиран на праговото напрежение и gm/ID методологията.
- При работа в умерена инверсия са подходящи за приложение методологията на модела, базиран на инверсия заряд и gm/ID методологията.
- При работа в силна инверсия са подходящи за приложение и трите методологии на проектиране.

3.6. Обобщение на резултатите от трета глава

Главата представя обзор на три метода за проектиране, обсъдени са техните предимства, недостатъци и са разяснени и демонстрирани стъпките при прилагането им в задача за оразмеряване на стъпало общ сорс. Моделът, базиран на праговото напрежение, не предоставя уравнения за оразмеряване в областта на умерена инверсия, когато напрежението гейт-сорс е много близко по стойност до праговото, поради което се очаква съществена грешка при проектиране в тази работна област на транзистора. Опростеният EKV модел, базиран на инверсия заряд, осигурява един набор от уравнения за всички области на инверсия, но тъй като е опростен аналитичен модел с ограничен набор от параметри, неговата точност не може да бъде еднакво висока във всички работни области. При оразмеряване чрез gm/ID методологията се очаква да се постигне много добра точност при оразмеряване във всички работни точки, тъй като методологията разчита на предварително снети стойности на дрейновия ток в различни работни точки посредством по-точни компютърни симулации. Очакванията за точността на трите метода са потвърдени в разгледаната задача за оразмеряване.

ГЛАВА 4. ЕКСПЕРИМЕНТАЛНО ИЗВЛИЧАНЕ НА ТРАНЗИСТОРНИ ПАРАМЕТРИ

4.1. Увод

Успешното проектиране зависи не само от точността на моделите, но и от правилното определяне на параметрите, които тези модели използват, като например – прагово напрежение, изходно съпротивление, специфичен ток, капацитет дрейн-гейт и др. Обикновено тези параметри са осигурени в процесните спецификации за дадената технология, но има случаи, в които проектантът би искал да определи някои от тези параметри чрез симулации или аналитични изчисления. Например, от интерес за проектанта може да представлява праговото напрежение за конкретна работна точка на транзистора, или графичната зависимост на стръмността на транзистора от напреженията гейт-сорс и дрейн сорс. Определяне на транзисторен параметър чрез симулация се налага и в случаите, в които този параметър въобще не е част от използвания компютърен модел и не е посочен в спецификацията. Така например, първоначалното проектиране може да бъде извършено чрез модел за аналитични изчисления базиран на инверсия заряд, докато компютърният модел да е базиран на праговото напрежение или повърхностния потенциал. В този случаи специфичният ток, факторът на наклона и други параметри на модела, базиран на инверсия заряд, биха могли да се определят единствено чрез симулация на наличните модели.

Глава 4 представя методи за симулационно определяне на някои основни транзисторни параметри, които са необходими при проектиране в настоящата дисертация: напрежение на Ърли, специфичен ток, фактор на наклона, прагово напрежение, транзитна

честота, фактор на стръмността, технологичен ток и температурните коефициенти на праговото напрежение, фактора на стръмността и технологичния ток.

4.2. Определяне на напрежението на Ърли

Обозначава се с V_A , като често срещана величина е и реципрочната му стойност $\lambda=1/V_A$. За транзистор с определени геометрични размери и определена работна точка, зададена от U_{GS} , се сема изходната характеристика $I_D=f(U_{DS})$, а $V_A=I_D/g_{DS}$ се изчислява въз основа на тази изходна характеристика. $g_{DS}=dI_D/dU_{DS}$ може да бъде изчислен чрез симулатора. Трябва да се отбележи, че V_A е зависим от стойността на дрейновия ток и силно зависим от дължината на канала на транзистора. В дисертационният труд са показани графични зависимости на напрежението на Ърли от дрейновия ток на транзистора, напрежението U_{DS} и дължината на канала.

4.3. Определяне на стойността на специфичния ток I_s

В литературата могат да бъдат открити различни методи за определяне на този параметър, като в дисертацията са представени четири от тях.

Съгласно първия изследван метод, I_s може да се изчисли директно от израз (3.18) при известни стойности на $K=\mu_n \cdot C'_{ox}$ и фактора на наклона n . Вторият метод е изведен в литературата и е базиран на приближението $I_s=I_D \cdot [2 \cdot (\Delta I_D / \Delta V_S) \cdot (\varphi_T / I_D)]^2$ и схема, позволяваща определянето на I_s съгласно този израз. Третият метод е изведен в литературата и използва схема на източник на ток оразмерена по такъв начин, че токът в един от клоновете ѝ да е пропорционален на специфичния ток, като са предоставени схемата и уравненията, чрез които се извършват нужните изчисления. Четвъртият разглеждан метод е развит в рамките на дисертационния труд на базата на известни в литературата методи. Съгласно четвъртият метод, $I_s=I_D/0,46$ за транзистор с $U_{DS}=\varphi_T/2$ и такава стойност на U_{GS} , при която $g_m/I_D=0,352/(n \cdot \varphi_T)$.

4.3.1. Сравнение на методите за определяне на стойността на I_s

При разработването на настоящата дисертация бе установено, че при използване на стойността за I_s , снета чрез първия от посочените методи, аналитичните уравнения на модела за аналитични изчисления имат най-добро съвпадение със симулационно сметените транзисторни характеристики. Това е и обяснимо предвид факта, че този метод е базиран на самата дефиниция на I_s . Сравнението на симулационни резултати с аналитично изчислени е обосновано и описано подробно в т. 4.10.

4.4. Определяне на фактора на наклона

Разгледани са два метода известни в литературата методи. При първия от тези методи, параметърът се определя чрез израза $n=1/(dV_P/dV_G)$, като $V_P=V_S$ се определя при диодно свързване на транзистор през който протича ток дрейнов ток със стойност $2 \cdot I_s$. Вторият разглеждан метод е аналитичен и се свежда до заместване в (3.4) за транзистор в областта на слаба инверсия и насищане. Изтъкнато е, че факторът на наклона зависи от напрежението гейт-сорс, но от практическа гледна точка е удобно да се избере само една конкретна стойност, валидна за всички работни точки.

4.5. Определяне на стойността на праговото напрежение

Разгледани са 5 метода за определяне на праговото напрежение: директно чрез симулация на работната точка; като напрежението гейт-сорс при което дрейновият ток има определена стойност, например: $1\mu A$; графично от проходната характеристика на транзистора като точката, в която продължението на I_D в областта на силна инверсия пресича абсцисата U_{GS} ; като напрежението U_{GS} на диодно свързан транзистор провеждащ

дрейнов ток със стойност $2.I_S$; като напрежението U_{GS} на транзистор за който $i=0,46$. И петте метода са използвани за извличането на праговите напрежения на NMOS и PMOS транзистори на технология 45nm, като резултатите са сравнени и е отбелязано, че първият и четвъртият от изброените методи са предпочитани в дисертационния труд. Подглавата сравнява два аналитични изрази за определяне на модулация на праговото напрежение от напрежението сорс-подложка, като единият от тях е изтъкнат като по-точен след съпоставка със симулационни резултати.

4.6. Определяне на транзитната честота f_T

Методът за експериментално извличане на f_T следва от самата му дефиниция – за представена схема, в която дрейнът, сорсът и подложката на транзистора са свързани към променливотокова маса, а към гейта се подава променливотоков сигнал, се търси тази честотата, при която $i_G=i_D$.

4.7. Ефективност на стръмността

Целта на тази подглава е да покаже, че симулационно сметата ефективност на стръмността $g_m/I_D=f(i)$ се отклонява от очакваните стойности, изразени чрез (3.38). Проектантът трябва да е наясно с това явление и при необходимост зависимостите между g_m/I_D и i да бъдат снети преди началото на проектирането.

4.8. Определяне на фактора на стръмността и технологичния ток

Факторът на стръмността K се определя след определяне на максималната стойност на $g_m=f(U_{GS})$ в линеен режим (например, при $U_{DS}=50mV$) и заместване ѝ в (3.3). При известна стойност на K , технологичният ток I_{D0} се определя чрез изрази $I_{D0}=(n-1).K.\phi_T^2$.

4.9. Определяне на температурните коефициенти на праговото напрежение, фактора на стръмността и специфичния ток

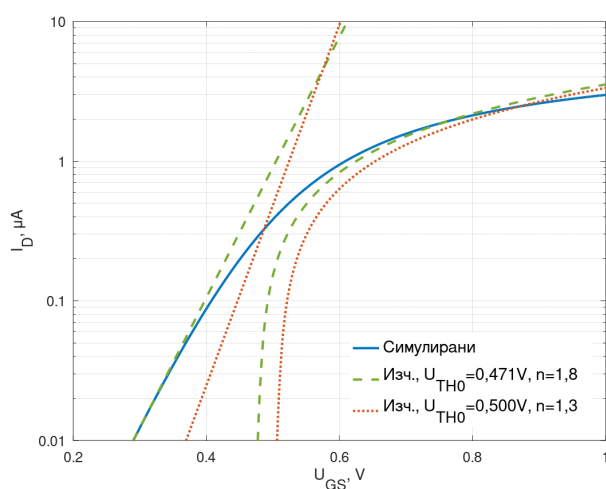
Могат да се разграничат два подхода за определяне на посочените температурни коефициенти: аналитичен и експериментален, разяснени в т. 4.9.1 Аналитичен подход и т. 4.9.2. Експериментален подход. Сравнение между аналитичен и експериментален подход. Направените наблюдения могат да бъдат обобщени чрез следната препоръка: проектантът следва да определи експериментално стойностите на температурните коефициенти; при необходимост от практичен аналитичен израз за стойностите на TC_K и $TC_{IS\Box}$, биха могли да се използват приближенията $TC_K=\alpha_\mu/T$ и $TC_{IS\Box}=(2+\alpha_\mu)/T$ където α_μ е температурна експонента на подвижността и се определя еднократно и емпирично след съпоставяне на аналитичните изрази за TC_K и $TC_{IS\Box}$ с експериментално сметите. Експерименталното снемане от своя страна е извършено след определяне на фактора на стръмността и специфичният ток на единичен транзистор за различни температури чрез методите описани съответно в т. 4.8 и т. 4.3. dK/dT , $dI_{S\Box}/dT$, $TC_K=(1/K).(dK/dT)$ и $TC_{IS\Box}=(1/I_{S\Box}).(dI_{S\Box}/dT)$ са изчислени за всяка от сметите стойности на K и $I_{S\Box}$. Коефициентът $TC_{U_{TH}}=(1/U_{TH}).(dU_{TH}/dT)$ се определя след симулация на работните точки в симулатора LTSpice за различни температури.

4.10. Потвърждение на резултатите

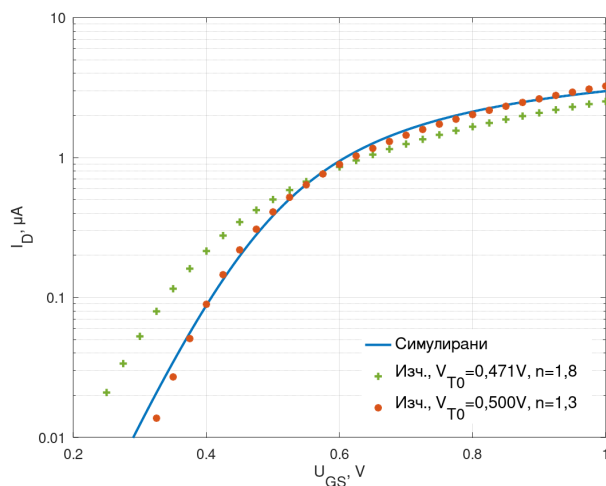
Голяма част от разгледаните в настоящата глава параметри могат да бъдат снети по различни методи, всеки от които води до различни резултати. Също така е известно, че при уравненията на моделите за аналитични изчисления се търси компромис между точност и простота и аналитичните изрази рядко пресъздават с голяма точност характеристиките, снети чрез лабораторни измервания или симулации на по-точни компютърни модели. Поради това към проектанта се отправя препоръка след

експерименталното снемане на някои от параметрите, сметите стойности да бъдат заместени обратно в аналитичните изрази за дрейновия ток и (в случая) съпоставени със симулираните с компютърен модел характеристики. Допустимо е стойностите на сметите параметри да бъдат изменени за да може да се получи по-добро настройване между симулирани и изчислени стойности.

Важно наблюдение в дисертационния труд е, че два параметъра – прагово напрежение и фактор на наклона, имат различни стойности когато се прилагат в моделите базирани на праговото напрежение и инверсия заряд. Причината за това отново може да бъде обоснована от нуждата за настройване на характеристиките на транзисторите чрез съответните моделни уравнения. На фиг. 4.21 и фиг. 4.22 са съпоставени симулирани и изчислени проходни характеристики на еднакви NMOS транзистори при еднакви работни точки за двата модела. Може да бъде наблюдавано, че групите параметри ($U_{TH0,N}=0,471V$; $n=1,8$) и ($V_{T0,N}=0,500V$; $n=1,3$) осигуряват различна точност когато се прилагат за двата модела.



Фиг. 4.21: Съпоставяне на проходни характеристики - симулирани и изчислени чрез модела, базиран на праговото напрежение. NMOS транзистор на технология 45nm, $U_{SB}=0V$, $U_{DS}=0,013V$, $W=L=270nm$



Фиг. 4.22: Съпоставяне на проходни характеристики - симулирани и изчислени чрез модела, базиран на инверсия заряд. NMOS транзистор на технология 45nm, $U_{SB}=0V$, $U_{DS}=0,013V$, $W=L=270nm$

4.11. Параметри на използваните модели

В тази подглава са изброени използваните в дисертационния труд модели и техните параметри. Освен ако не е упоменато друго, определянето на всички посочени параметри е извършено в следните две стъпки:

1. Първоначално определяне чрез описаните в т. 4.2 - т. 4.9 методи.

2. Крайно определяне след настройване на характеристиките, получени от аналитичните уравнения за аналитични изчисления и първоначалните стойности на параметрите, с характеристиките на моделите, извлечени от компютърни симулации (т. нар. настройване, представено в т. 4.10).

Стъпки 1 и 2 са приложени за определяне на транзисторните параметри на четирите прилагани в дисертационния труд технологии: 45nm, 180nm, 16nm и 110nm.

4.12. Обобщение на резултатите от четвърта глава

Глава 4 определя методика за експерименталното снемане на транзисторни параметри. Потвърждение на резултатите е извършено чрез заместване на сметите параметри в моделните уравнения, използвани при аналитични изчисления и съпоставката им със симулационно снети транзисторни характеристики. Стойностите на параметрите, снети чрез предложената методика, са използвани при проектирането на аналогови схеми в глава 5.

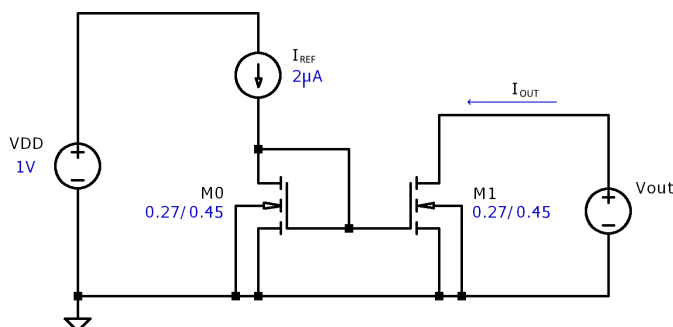
ГЛАВА 5. Сравнение на методи и модели при анализ и проектиране на аналогови интегрални схеми

5.1. Увод

Утвърдената практика в книгите и статиите, посветени на аналоговата схемотехника, е при проектирането на дадена схема да бъде използвана една методика. В настоящата глава са извършени анализ и проектиране на аналогови схеми чрез едновременно използване на трите представени подхода за проектиране. Целта е да се изтъкнат сходствата и различията между тях и да се отговори на въпросите – прилагането на кои методи и модели водят до по-точни резултати и в кои случаи. Разглеждат се добре известни схемни решения, тъй като основна цел на дисертационния труд е изследване на подходите за проектиране. Чрез част от разгледаните примери се извършва анализ на вече оразмерени схеми, а не проектиране, тъй като по този начин могат по по-ясен начин да се представят особеностите на разгледаните методики. Предварителното запознаване на проектанта с тези особености биха били от съществена полза при решаване на задачите за проектиране.

5.2. Анализ на просто токово огледало

Подглавата разглежда най-простата реализация на токово огледало, състоящо се от два транзистора. Изпълнението ѝ с NMOS транзистори в технология 45nm е показана на фиг. 5.1. Поставените цели са следните: да се определи стойността на напрежението гейт-сорс за транзистор M0; да се определи стойността на I_{OUT} при $U_{OUT}=1V$; да се определи стойността на $U_{DS,SAT}$ за транзистор M1.



Фиг. 5.1: Просто токово огледало. Размерите на транзисторите са в μm

Определянето на търсените параметри е извършено чрез трите разглежданите методи в т. 5.2.1. Анализ чрез модел, базиран на праговото напрежение, т. 5.2.2. Анализ чрез модел, базиран на инверсия заряд и т. 5.2.3. Анализ чрез g_m/I_D методология.

Резултатите са обобщени в т. 5.2.4. Резултати от симулации и сравнение на резултатите и таблица 5.1:

Таблица 5.1: Обобщение на резултатите от анализа на просто токово огледало (фиг. 5.1)

Задача	Симулация	Модел, базиран на праговото напрежение	Модел, базиран на инверсия заряд		g_m/I_D методология		Ед.
			Чрез $i_R=0$	Чрез U_{EFF}	Чрез $L^X=0,45\mu m$	Чрез $L^X=0,09\mu m$	
U_{GS}	0,556	0,578	0,547	0,620	0,556	0,540	V
I_{OUT} за $U_{DS}=1V$	2,032	2,185	2,000	4,158	2,043	2,202	μA

Моделът, базиран на праговото напрежение предсказва много добре стойностите на U_{GS} и изходния ток, поради което може да се съди, че този модел е уместно да бъде приложен дори когато транзисторът не е навлязъл дълбоко в областта на силна инверсия. Прилагането на модела, базиран на инверсия заряд, се осъществява чрез два подхода. В първия се приема приближенията $i_R \approx 0$ и $i \approx i_F$ за транзистор M0, тъй като той се намира в режим на насищане, а във втория $U_{GS,M0}$ се изчислява с предварително изведен израз за $U_{EFF}=U_{GS}-U_{TH}$. Резултатите показват, че ефективното напрежение не е подходящ за анализ и проектиране параметър при прилагането на този модел. Моделът също така не е удачен за определяне на зависимостта $I_D=f(U_{DS})$. g_m/I_D методологията представя много добро съвпадение на резултатите, като по-висока точност се постига ако проектантът разполага с данните за референтен транзистор с дължина на канала равна на дължината на канала на анализирания или оразмеряван транзистор. За определяне на напрежението $U_{DS,SAT,M1}$, g_m/I_D методологията не предоставя израз за неговото аналитично определение, а моделът, базиран на инверсия заряд, осигурява по-точна оценка на този параметър спрямо базирания на праговото напрежение.

5.3. Анализ и проектиране на каскодно токово огледало

Подглавата представя пример за определяне на изходното съпротивление R_{OUT} на схемата на каскодно токово огледало и оразмеряване на транзистор, задаващ гейтовия потенциал на каскодните транзистори. В т. 5.3.1 и т. 5.3.2 се определя R_{OUT} чрез еквивалентните схеми на моделите, базирани съответно на праговото напрежение и инверсия заряд. В т. 5.3.3-5.3.5 се прилагат трите разглеждани метода за определяне размерите на оразмерявания транзистор.

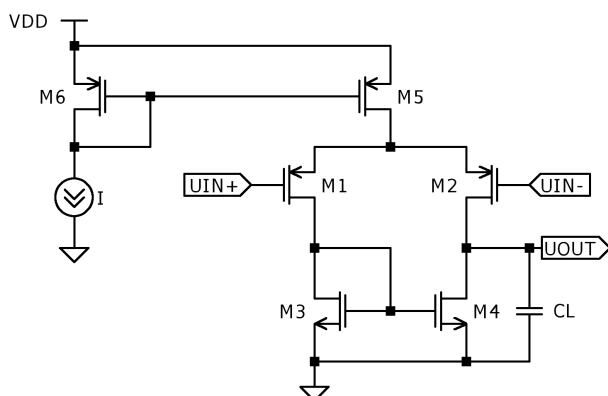
5.3.6. Сравнение на резултатите и обобщение

По отношение на извеждането на аналитичен израз за R_{OUT} е установено, че при прилагането и на двата разглеждани модела получените изрази са сходни. g_m/I_D методологията не е предназначена за извеждането на аналитични изрази, поради което ако проектантът желае да разполага с определен аналитичен израз, той трябва да разчита на някой от моделите, базирани на праговото напрежение или инверсия заряд. При изпълнение на задачата за оразмеряване се установява, че и при трите прилагани метода за оразмеряване, изходният ток достига желаната стойност. Впечатление прави, че моделът, базиран на инверсия заряд и g_m/I_D методологията за подходящи за определянето на напрежението U_{DS} на токозадаващите транзистори в схемата.

5.4. Проектиране на диференциален усилвател

Разглежда се схемата на диференциален усилвател, показана на фиг. 5.9. Целта на проектирането е достигане на усилване при ниски честоти $A_v \geq 40dB$ и ширина на

честотната лента $f_{-3dB} \geq 100\text{kHz}$ при входно синфазно напрежение в границите $U_{INCM} = [0, 10; 0, 5]\text{V}$ и максимална консумация на схемата, съставена от транзистори M1-M5: $I_{DD} = 10\mu\text{A}$. Стойността на захранващото напрежение е $V_{DD} = 1\text{V}$, а стойността на товарният капацитет C_L е 1pF . Проектирането се извършва с използването на технология 45nm



Фиг. 5.9: Схема на диференциален усилвател. Контактите на джобовите на PMOS транзисторите са свързани към захранване.

5.4.1. Анализ на схемата

Схемните параметри не са зависими от прилаганата методика за оразмеряване. Определят се $I_{D,M1-M3} = I_{D,M2-M4} = I_{DD}/2 = 5\mu\text{A}$, а изискванията към A_U и f_{-3dB} се използват за определяне на изходното съпротивление R_{OUT} на схемата и стръмността на входните транзистори $g_{m,M1} = g_{m,M2}$. Приема се, че $r_{o,M2} = r_{o,M4} = 2 \cdot R_{OUT} = V_A / I_{D,M2-M4}$, от което могат да се определят необходимите стойности на напрежението на Ърли на транзистори M2 и M4 за достигане на желаното изходно съпротивление на схемата. Стойността на V_A се определя от графични зависимости $V_A = f(L)$, чрез което се определят дължините на каналите на оразмеряваните транзистори в схемата. От изискванията за захранващо и входно синфазно напрежение се определят стойностите $|U_{GS,M1-M2}|$ и $U_{GS,M3-M4}$.

Проектиране чрез трите разглеждани методики се извършва в т. 5.4.2-5.4.4 с прилагане на стойностите на параметрите, определени в т. 5.4.1.

5.4.5. Сравнение на резултатите и обобщение

Резултатите обобщени в таблица 5.3 показват, че и трите метода на проектиране са достатъчно точни за първоначален анализ и могат да бъдат успешно използвани за първоначално проектиране на разглежданата схема.

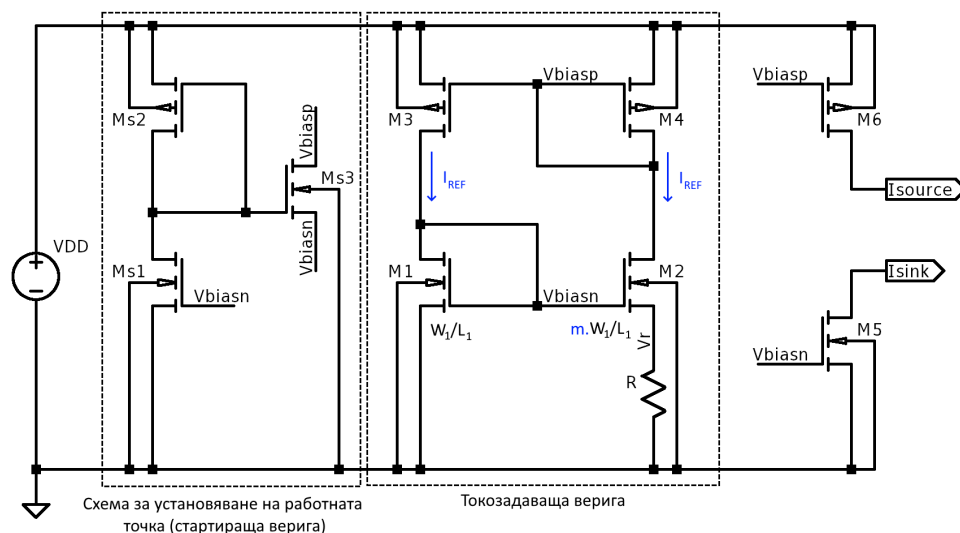
Таблица 5.3: Обобщение на резултатите от оразмеряването на диференциален усилвател

Параметър	Задание	Модел, базиран на праг. напрежение		Модел, базиран на инверсия заряд		g_m/I_D методология		Ед.
		$U_{CM}=0,1\text{V}$	$U_{CM}=0,5\text{V}$	$U_{CM}=0,1\text{V}$	$U_{CM}=0,5\text{V}$	$U_{CM}=0,1\text{V}$	$U_{CM}=0,5\text{V}$	
A_U	40,0	40,0	41,8	40,2	41,6	40,1	41,8	dB
f_{-3dB}	100	147	107	130	102	171	122	kHz
$I_{D,M1-M2}$	5,0	5,1	4,5	5,1	4,7	6,0	5,2	μA

5.5. Анализ и проектиране на източник на ток на базата на бета-умножител

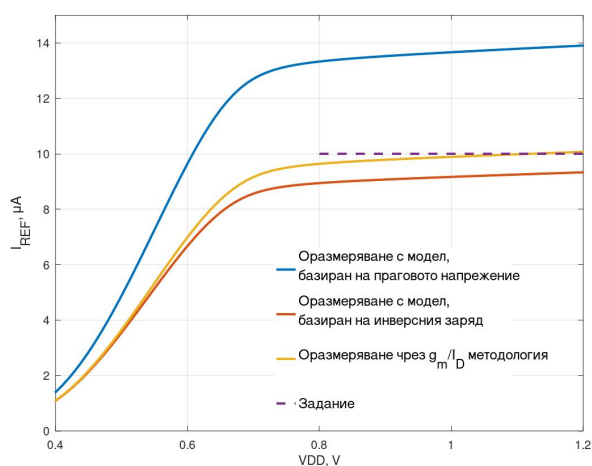
За схемата от фиг. 5.10 са поставени следните задачи: извеждане на зависимостта на I_{REF} от стойностите на отношението m , съпротивлението R и транзисторните параметри; оразмеряване на схемата с цел постигане на стойност на опорния ток $I_{REF} = 10\mu\text{A}$ и минимално захранващо напрежение, при което схемата е работоспособна: $U_{COMPL} = 0,8\text{V}$.

Схемата е реализирана на технология 45nm. Задачите са изпълнени чрез последователно прилагане на трите разглеждани методологии в т. 5.5.1-5.5.3.



Фиг. 5.10:
Източник на ток на базата на бета-умножител

Сравнение на резултатите и обобщение са представени в т. 5.5.4 и на фиг. 5.12.



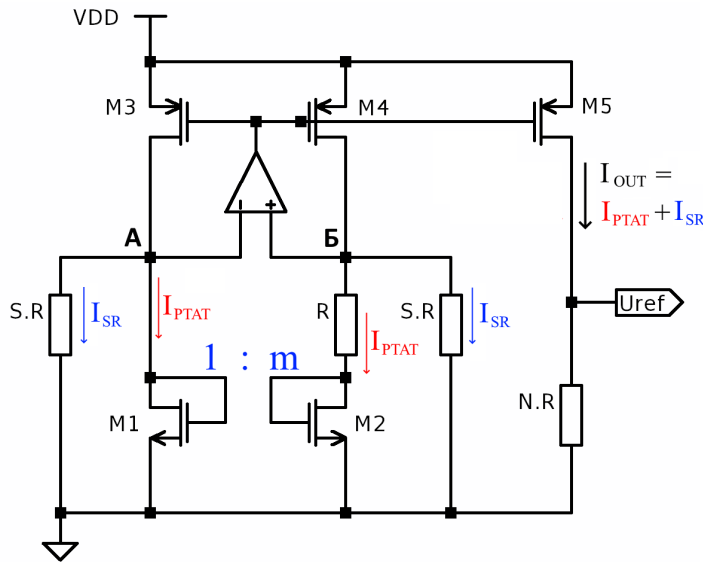
Фиг. 5.12: Зависимост на стойността на тока I_{REF} от захранващото напрежение VDD за схемата на източник на ток от фиг.5.10, оразмерена чрез трите разглеждани методологии

След прилагане и на трите метода на оразмеряване, схемата е работоспособна при $VDD=0,8V$. Най-голямо отклонение от зададената стойност на I_{REF} се наблюдава след оразмеряване с модела, базиран на праговото напрежение, като това може да бъде обяснено с факта, че стойността $|U_{GS,M1-M2}|$ е много близка по стойност до праговото напрежение на транзистора. Моделът, базиран на инверсия заряд, е подходящ за оразмеряване във всички области на инверсия на транзистора, а съответствието на стойността на I_{REF} със зададената след прилагането на този модел е много добро. При прилагане на gm/ID методологията се наблюдава отлично съответствие между зададена и симулирана стойност на I_{REF} .

5.6. Проектиране на източник на напрежение, изграден на базата на MOS транзистори в слаба инверсия

Целта на проектирането е оразмеряване на схемата от фиг. 5.13 за достигане на нулев температурен коефициент при стойност на изходното напрежение $U_{OUT}=0,6V$, минимална стойност на захранващото напрежение $VDD=1V$. Проектирането се извършва с

използването на технология 45nm, а температурния коефициент на използваните резистори $TC_R=300\text{ppm/K}$.



Фиг. 5.13: Схема на bandgap източници на опорно напрежение, изграден на базата на MOS транзистори в слаба инверсия

При анализ на схемата, който е независим от прилаганите методи за оразмеряване, се достига до следните изрази за U_{REF} и dU_{REF}/dT :

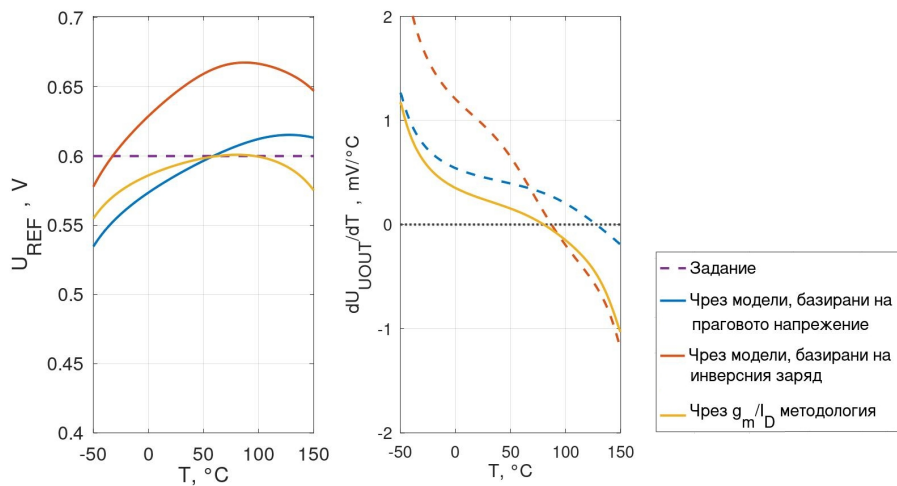
$$U_{REF} = N \cdot R \cdot (I_{PTAT} + I_{SR}) = N \cdot n \cdot \phi_T \cdot \ln(m) + N \cdot U_{GS,M1}/S \quad (5.115)$$

$$\frac{dU_{REF}}{dT} = N \cdot R \cdot \left(\frac{dI_{PTAT}}{dT} + \frac{dI_{SR}}{dT} \right) + \frac{d(N \cdot R)}{dT} \cdot (I_{PTAT} + I_{CTAT}) \quad (5.116)$$

Проектирането е демонстрирано чрез последователно прилагане на трите разглеждани методологии в т. 5.6.1-5.6.3.

Дисертационният труд предлага нов подход за прилагане на gm/ID методологията при оразмеряване на схема с температурно-зависими параметри.

Сравнение на резултатите и обобщение е извършено в т. 5.6.4 и илюстрирани на фиг. 5.15. На мястото на операционния усилвател, присъстващ на фиг. 5.13, се използва диференциален усилвател, проектиран в т. 5.4 чрез gm/ID методологията.



Фиг. 5.15: Резултати от симулации на U_{REF} и $TC_{U_{REF}}$ спрямо температурата за схемата от фиг. 5.13 за трите метода на оразмеряване

Би могло да се твърди, че и трите разглеждани подхода за оразмеряване за подходящи за предварително проектиране на температурно-независим източник на напрежение, като

проектирането чрез модели, базирани на праговото напрежение и проектирането чрез g_m/I_D методологията се отличават с малко по-висока точност.

5.7. Проектиране на операционен усилвател на проводимост с токови огледала

Схемата на проектирания усилвател е показана на фиг. 5.16. Проектирането първоначално е извършено на технология 45nm при следното задание: $V_{DD}=1V$, $C_L=1pF$, $A_U=40dB$, $GBW=10MHz$, входно синфазно напрежение $U_{CM}=500mV$.

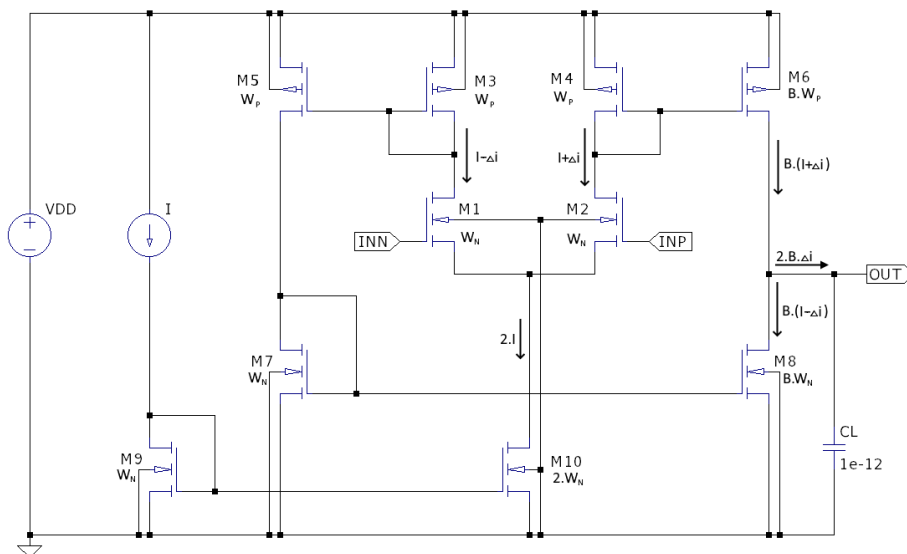
5.7.1 Анализ на схемата

При извършения анализ са изведени следните уравнения:

$$A_U = G_M \cdot R_{OUT} = B \cdot g_m \cdot \frac{V_{A,M6} \parallel V_{A,M8}}{B \cdot I} = (V_{A,M6} \parallel V_{A,M8}) \cdot \frac{g_m}{I} \quad (5.146)$$

$$GBW = A_U \cdot f_{-3dB} = \frac{G_M \cdot R_{OUT}}{2 \cdot \pi \cdot R_{OUT} \cdot C_L} = \frac{B \cdot g_m}{2 \cdot \pi \cdot C_L} \quad (5.147)$$

Избира се стойност на $g_{m,M1-M2}$, която да удовлетворява (5.147), разяснени са съображенията при избор на стойности на B , $U_{DS,M10}$, $U_{GS,M1,M2}$ и $U_{GS,M3,M4}$ и са избрани стойности за тези схемни параметри.



Фиг. 5.16:
Операционен
усилвател на
проводимост

Проектиране чрез трите разглеждани методологии е извършено в т. 5.7.2-5.7.4. Анализ на получените резултати е извършено в т. 5.7.5, а извадка от резултатите при проектиране на технология 45nm е показано в таблица 5.5.

За да се докаже, че разгледаните методи са приложими и при технологични процеси с различна дължина на канала, както и при процес, предлаган от полупроводникова фабрика, проектирането е повторено на технологии 180nm, 16nm и 110nm в т. 5.7.6-5.7.8. Извадки от резултатите са показани в таблици 5.7, 5.9 и 5.11. Заданията са частично изменени за да отразят различните захранващи напрежения, специфични капацитети и прагови напрежения, характерни за технологиите. За 180nm: $C_L=4pF$, $V_{DD}=1,8V$, $U_{CM}=0,9V$. За 16nm: $C_L=1pF$, $V_{DD}=0,7V$, $U_{CM}=0,5V$. За 110nm: $C_L=4pF$, $V_{DD}=1,2V$, $U_{CM}=0,6V$. За всички технологии $A_U=40dB$, $GBW=10MHz$.

Симулациите с модели на технологии 45nm, 180nm и 16nm са извършени чрез симулатора LTSpice, а тези на технология 110nm: Cadence Spectre.

Таблица 5.5: Съпоставяне на зададените и симулираните параметри на транзисторите и схемата от фиг. 5.16, технология **45nm** (извадка)

Параметър	Модел или метод на проектиране				Единица
	Зададено	Модел, базиран на прагово напр.	Модел, базиран на инверсия заряд, L=180nm	g_m/I_D методология	
$g_{m,M1,M2}$	20	19,1	14,9	20,2	μS
$U_{GS,M1,M2}$	0,38	0,376	0,379	0,384	V
$ U_{GS,M3,M4} $	0,45	0,344	0,373	0,459	V
$I_{D,M1,M2}$	0,93/0,73/0,73/0,96	0,90	0,70	0,96	μA
$I_{D,M6,M8}$	2,68/2,92/2,92/3,84	3,74	2,92	3,94	μA
A_U	40	38,9	39,1	39,7	dB
GBW	10	10,8	9,1	12,6	MHz
Запас по фаза	> 60	74,4	81,5	84,9	°

Таблица 5.7: Съпоставяне на зададените и симулираните параметри на транзисторите и схемата от фиг. 5.16 на технология **180nm** (извадка)

Параметър	Модел или метод на проектиране				Единица
	Зададено	Модел, базиран на прагово напр.	Модел, базиран на инверсия заряд	g_m/I_D методология	
$g_{m,M1,M2}$	80	67,0	76,1	73,9	μS
$U_{GS,M1,M2}$	0,7	0,67	0,64	0,66	V
$ U_{GS,M3,M4} $	0,9	0,94	0,90	0,92	V
$I_{D,M1,M2}$	7,36/7,80/7,78	7,11	7,61	7,54	μA
$I_{D,M6,M8}$	29,4/31,2/31,1	28,8	31,1	30,7	μA
A_U	40	39,9	40,5	40,0	dB
GBW	10	10,1	12,4	11,0	MHz
Запас по фаза	> 60	73,1	67,0	70,8	°

Таблица 5.9: Съпоставяне на зададените и симулираните параметри на транзисторите и схемата от фиг. 5.16 на технология **16nm** (извадка)

Параметър	Модел или метод на проектиране				Единица
	Зададено	Модел, базиран на прагово напр.	Модел, базиран на инверсия заряд	g_m/I_D методология	
$g_{m,M1,M2}$	20	17,9	18,2	19,4	μS
$U_{GS,M1,M2}$	0,38	0,38	0,41	0,38	V
$ U_{GS,M3,M4} $	0,40	0,40	0,47	0,40	V
$I_{D,M1,M2}$	0,83/0,90/0,89	0,80	0,85	0,86	μA
$I_{D,M6,M8}$	3,31/3,61/3,57	3,21	3,41	3,46	μA

Параметър	Модел или метод на проектиране				Единица
	Зададено	Модел, базиран на прагово напр.	Модел, базиран на инверсия заряд	g_m/I_D методология	
A_U	40	39,7	38,2	39,7	dB
GBW	10	10,8	11,2	11,6	MHz
Запас по фаза	> 60	83,7	87,8	82,9	°

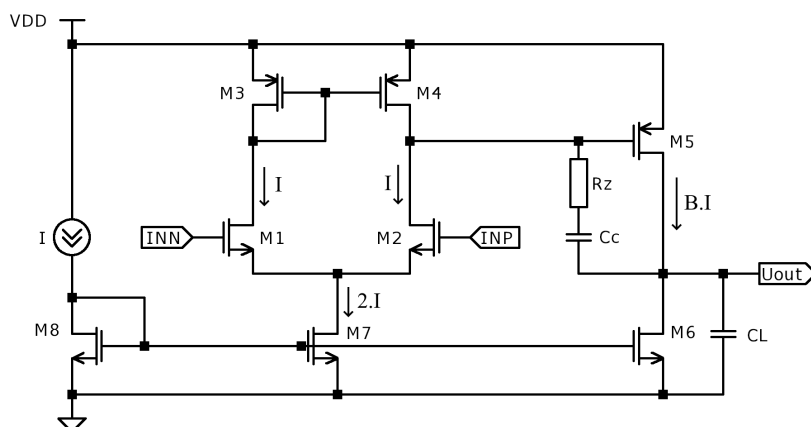
Таблица 5.11: Съпоставяне на зададените и симулираните параметри на транзисторите и схемата от фиг. 5.16 на технология **110nm** (извадка)

Параметър	Модел или метод на проектиране				Единица
	Зададено	Модел, базиран на прагово напр.	Модел, базиран на инверсия заряд	g_m/I_D методология	
$g_{m,M1,M2}$	80	88,5	67,5	78,3	μS
$U_{GS,M1,M2}$	0,48	0,49	0,50	0,52	V
$ U_{GS,M3,M4} $	0,6	0,62	0,53	0,61	V
$I_{D,M1,M2}$	3,41/2,71/3,32	3,21	2,53	3,05	μA
$I_{D,M6,M8}$	13,6/10,8/13,3	12,8	10,2	12,2	μA
A_U	40	39,2	38,6	38,8	dB
GBW	10	11,2	9,5	11,3	MHz
Запас по фаза	> 60	64,1	72,2	74,5	°

На база получените резултати може да бъде направено наблюдението, че и трите разглеждани методики на проектиране могат да бъдат успешно приложени при проектиране в разглежданите технологии. Впечатление прави, че в повечето от разглежданите случаи, схемните и транзисторни параметри при проектиране с g_m/I_D методологията са най-близки до зададените.

5.8. Проектиране на операционен усилвател на проводимост – схема на Милер

Реализация на схемата е показана на фиг. 5.20.



Фиг. 5.20: Операционен усилвател на проводимост, схема на Милер

Нека целта на проектирането бъде достигане на усилване при ниски честоти $A_U=80dB$ и произведение усилване-честота $GBW=5MHz$. Проектирането е извършено първоначално

чрез използване на технология – 45nm, а впоследствие и с технологии 180nm, 16nm и 110nm. Нека при проектиране на технология 45nm $V_{DD}=1V$, $U_{CM}=500mV$, $C_L=1pF$. При 180nm: $V_{DD}=1,8V$, $U_{CM}=900mV$, $C_L=4pF$. При 16nm: $V_{DD}=0,7V$, $U_{CM}=500mV$, $C_L=1pF$. При 180nm: $V_{DD}=1,8V$, $U_{CM}=900mV$, $C_L=4pF$. При 110nm: $V_{DD}=1,2V$, $U_{CM}=600mV$, $C_L=4pF$.

Общ анализ на схемата е извършен в т. 5.8.1, като са разяснени съображенията, по които се определят C_C , $g_{m,M2}$, $g_{m,M5}$, R_Z , $U_{DS,M7}$, $U_{GS,M1-M2}$, $U_{GS,M3-M4}$. Използваните схемни уравнения са общовалидни, т.е. не зависят от избраната впоследствие методика за оразмеряване В т. 5.8.2-5.8.4 е извършено проектиране на схемата чрез всяка от разглежданите методики, като проектирането е демонстрирано за технология 45nm, а в т. 5.8.5 е извършен анализ на резултатите от проектирането на технология 45nm. Резултати от проектирането на другите три технологии са показани в т. 5.8.6-5.8.8. Таблици 5.13, 5.15, 5.17 и 5.19 представляват извадки от резултатите при проектирането и на четирите технологии чрез трите разглеждани метода за проектиране.

Симулациите с модели на технологии 45nm, 180nm и 16nm са извършени чрез симулатора LTSpice, а тези на технология 110nm: Cadence Spectre.

Таблица 5.13: Съпоставяне на зададените и симулираните параметри на транзисторите и схемата от фиг. 5.20, технология **45nm** (извадка)

Параметър	Модел или метод на проектиране				Единица
	Зададено	Модел, базиран на прагово напр.	Модел, базиран на инверсия заряд	g_m/I_D методология	
$g_{m,M2}$	20	18,9	15,0	21,1	μS
$g_{m,M5}$	200	59,7	189	190	μS
$U_{GS,M1,M2}$	0,38	0,37	0,37	0,39	V
$ U_{GS,M3,M4} $	0,45	0,34	0,45	0,46	V
I	0,93/0,71/1,05	0,89	0,69	1,01	μA
B.I	2,7/10,8/11,6	2,8	10,8	11,2	μA
A_U	80	70,9	77,7	81,4	dB
GBW	5	5,0	4,6	6,5	MHz
Запас по фаза	> 60	57,0	86,3	85,1	°

Таблица 5.15: Съпоставяне на зададените и симулираните параметри на транзисторите и схемата от фиг. 5.20, технология **180nm** (извадка)

Параметър	Модел или метод на проектиране				Единица
	Зададено	Модел, базиран на прагово напр.	Модел, базиран на инверсия заряд	g_m/I_D методология $L^X=3600nm$	
$g_{m,M2}$	80	66,3	77,8	78,1	μS
$g_{m,M5}$	800	625	664	780	μS
$U_{GS,M1,M2}$	0,7	0,66	0,66	0,70	V
$ U_{GS,M3,M4} $	0,9	0,94	0,92	0,89	V
I	7,5/8,6/10,6	7,2	8,4	10,0	μA

Параметър	Модел или метод на проектиране				Единица
	Зададено	Модел, базиран на прагово напр.	Модел, базиран на инверсия заряд	g_m/I_D методология $L^X=3600nm$	
B.I	184/190/216	184	189	207	μA
A_U	80	81,8	81,9	81,3	dB
GBW	5	4,3	4,9	5,0	MHz
Запас по фаза	> 60	62,5	59,2	59,4	°

Таблица 5.17: Съпоставяне на зададените и симулираните параметри на транзисторите и схемата от фиг. 5.20, технология **16nm** (извадка)

Параметър	Модел или метод на проектиране				Единица
	Зададено	Модел, базиран на прагово напр.	Модел, базиран на инверсия заряд	g_m/I_D методология	
$g_{m,M2}$	20	18,2	18,6	19,6	μS
$g_{m,M5}$	200	181	196	167	μS
$U_{GS,M1,M2}$	0,38	0,38	0,40	0,38	V
$ U_{GS,M3,M4} $	0,40	0,40	0,40	0,40	V
I	0,83/0,88/0,89	0,81	0,85	0,87	μA
B.I	8,3/9,0/6,3	8,4	9,1	7,7	μA
A_U	80	79,4	79,9	79,4	dB
GBW	5	5,5	5,7	5,9	MHz
Запас по фаза	> 60	85,0	86,7	83,2	°

Таблица 5.19: Съпоставяне на зададените и симулираните параметри на транзисторите и схемата от фиг. 5.20, технология **110nm** (извадка)

Параметър	Модел или метод на проектиране				Единица
	Зададено	Модел, базиран на прагово напр.	Модел, базиран на инверсия заряд	g_m/I_D методология	
$g_{m,M2}$	80	95,4	70,5	83,1	μS
$g_{m,M5}$	800	773,4	913,9	854,2	μS
$U_{GS,M1,M2}$	0,48	0,44	0,49	0,48	V
$ U_{GS,M3,M4} $	0,6	0,59	0,59	0,59	V
I	3,41/2,93/3,32	3,31	2,81	3,19	μA
B.I	68,4/81,3/75,7	69,4	82,2	76,8	μA
A_U	80	78,9	78,6	78,6	dB
GBW	5	5,4	4,6	5,3	MHz
Запас по фаза	> 60	63,1	78,8	75,9	°

При анализ на резултатите и за четирите разглеждани технологии може да се заключи, че и трите разглеждани методологии са подходящи за проектиране на разглежданата схема.

5.9. Обобщение на резултатите от пета глава

Глава 5 демонстрира методики за проектиране на различни типове схеми чрез трите разглежданите подхода на проектиране. На база получените резултати могат да бъдат направени следните изводи:

- При проектиране с модел, базиран на праговото напрежение, се осигурява добро съвпадение между изчислени и симулирани схемни и транзисторни характеристики освен в случаите, в които напреженията гейт-сорс на транзисторите са приблизително равни на праговете.
- При проектиране с модел, базиран на инверсия заряд, се осигурява добро съвпадение между симулирани и изчислени схемни и транзисторни характеристики, но постигнатата точност е различна за различните нива на инверсия на транзистора и при различните технологии. Ефективното напрежение U_{EFF} не е подходящ параметър за проектиране с този модел.
- И трите разглеждани метода могат да бъдат успешно прилагани при проектиране на схема с температурно-зависими параметри.
- При проектиране с gm/ID методологията се осигурява много добро съвпадение между изчислени и симулирани схемни и транзисторни параметри за всички разглеждани схеми.
- Точността на крайните резултати при проектиране с gm/ID методологията зависи от дължината L^x на референтния транзистор: L^x трябва да е възможно най-близка до дължината L на оразмерявания транзистор.
- Някои схемни параметри (например, изходно съпротивление) не могат да бъде определени при проектиране с gm/ID методологията. За целта е необходимо да бъдат приложени някои от другите два метода и развити необходимите аналитични изрази.
- Първоначалният анализ и извеждането на схемните уравнения заема съществена част от проектирането и не зависи от приложената методология за оразмеряване.

Заклучение

На базата на осъществените анализи в дисертационния труд, могат да бъдат отправени следните препоръки към проектанта:

- Проектантът трябва да е запознат със спецификите на субмикронните технологии, ефектите на късия канал и различните модели и методи за проектиране, предимствата и ограниченията на тези методи. Това би му помогнало при избор на метод на проектиране и последващият избор на геометрични размери и работни точки.

- gm/ID методологията постига висока точност при решаването на всяка от разгледаните задачи за проектиране, поради което може да се препоръча нейното прилагане при изпълнение на проектантските цели.

- Препоръчва се при прилагането на gm/ID методологията да се използва набор от характеристики на референтни транзистори с дължини на канала близки до тези на оразмеряваните транзистори, ако това е възможно.

- Някои схемни параметри (например: коефициент на усилване, изходно напрежение) могат да бъдат изведени единствено чрез аналитични изрази. Поради това може да се твърди, че проектантът не трябва да разчита единствено на полу-емпиричната gm/ID методология, а е необходимо да има способността да борава със схемните уравнения и да е запознат с аналитичните методи за проектиране.

- Оразмеряването с моделите, базирани на праговото напрежение или инверсия заряд, в много от случаите е удобно и води до точни резултати, но при прилагане на тези методи проектантът трябва да съблюдава работните точки на транзисторите и да е наясно с очакваната точност. При прилагането на модела, базиран на праговото напрежение, дрейновият ток на транзистора може да бъде определен с голяма грешка когато напрежението гейт-сорс е приблизително равно на праговото. При прилагането на модела, базиран на инверсия заряд, проектантът трябва да е наясно, че този модел не може да постигне еднакво добра точност при всяко ниво на инверсия на транзистора.

- Ако при използването на модели, базирани на праговото напрежение или инверсия заряд, проектантът не разполага с някои от транзисторните параметри, то той би могъл да ги снее експериментално чрез подходи, описани в четвърта глава. С цел постигане на добра точност е препоръчително параметрите да бъдат коригирани след настройване на изчислените аналитично характеристики с характеристики, снети чрез симулации на поточни компютърни модели.

ПРИНОСИ В ДИСЕРТАЦИОННИЯ ТРУД

В дисертационния труд са постигнати следните съществени резултати с научно-приложен и приложен характер.

Научно-приложни и приложни приноси

1. Проведено е систематично литературно проучване и класификация на моделите на MOS транзисторите с фокус върху приложението им при началните (аналитични) изчисления на аналоговите интегрални схеми. Акцентирано е върху предимствата на компактните модели при оразмеряването на аналогови схеми. Анализирано е влиянието на ефектите на късия канал при дълбоките субмикронни технологии.

2. Направен е анализ на трите основни метода за аналитично оразмеряване на аналогови интегрални схеми (чрез модел, базиран на праговото напрежение; чрез модел, базиран на инверсия заряд; чрез gm/ID методология). Систематизирани са уравненията, използвани при всеки от трите метода и на тяхна основа са съставени предложени процедури за аналитично оразмеряване. Процедурите са приложени при оразмеряване на транзистори, работещи в слаба, умерена и силна инверсия. Направена е оценка и сравнение на точността на разглежданите методи и са формулирани препоръки за приложението им при проектиране на аналогови интегрални схеми.

3. Извършено е проучване, анализ и систематизиране на методите за експериментално определяне на основните транзисторни параметри и са съставени процедури за приложението им. Предложен е метод за първоначално определяне на специфичния ток I_S от модела, базиран на инверсия заряд. Направени са препоръки за приложение на представените методи и процедури при определяне на стойностите на параметрите за различните модели. Предложените процедури за извличане на транзисторни параметри са приложени успешно при определянето на параметрите за две субмикронни (110nm и 180nm) и две дълбоки субмикронни (16nm и 45nm) технологии.

4. На базата на трите разглеждани метода за аналитично оразмеряване са разработени усъвършенствани процедури за проектиране на основните класове функционални елементи на аналоговите интегрални схеми (схеми за осигуряване постояннотоковия режим, усилвателни стъпала и операционни усилватели) при трите нива на инверсия на транзисторите. Процедурите са приложени успешно с модели на четири различни технологии (16nm, 45nm, 110nm и 180nm), което е аргумент за тяхната универсалност. Получените резултати са анализирани и сравнени по отношение на сложността и броя на стъпките при съответните процедури и постигнатата точност при всяка от тях. Изяснени са предимствата и ограниченията на всяка от разглежданите процедури.

5. Предложен е полу-емпиричен подход за проектиране чрез gm/ID методология на температурно-стабилен източник на напрежение на базата на MOS транзистори в слаба инверсия. Подходът е, приложен успешно при проектиране на източник на напрежение, работещ в температурния диапазон $[-50; 150]^{\circ}\text{C}$.

6. На базата на проведените изследвания, в дисертационния труд са формулирани препоръки за проектиране на аналогови интегрални схеми, реализирани по субмикронни и дълбоки субмикронни технологии.

СПИСЪК НА ПУБЛИКАЦИИТЕ ПО ДИСЕРТАЦИОННИЯ ТРУД

Доклади на научни конференции в Р. България

[A1] **A. P. Radev**, "Overview and Comparison of Methodologies for Design in Deep Submicron CMOS Processes," 2022 13th National Conference with International Participation (ELECTRONICA), Sofia, Bulgaria, 2022, pp. 1-4, doi: 10.1109/ELECTRONICA55578.2022.9874371

Цитирано в:

[1] S. Kostadinov, I. Uzunov, E. Gadjeva and D. Gaydazhiev, "Analysis and Design of a Current Amplifier in Ultra Deep Sub-micron Technology," 2024 23rd International Symposium on Electrical Apparatus and Technologies (SIELA), Bourgas, Bulgaria, 2024, pp. 1-4, doi: 10.1109/SIELA61056.2024.10637883.

[2] Greenfield, Elaine, "A Comprehensive Study of Gain Characterization in MOSFETs" (2024). Thesis. Rochester Institute of Technology. Accessed from <https://repository.rit.edu/theses/11715>

[3] Sharroush, S.M., Analog CMOS Design in Nanometer Regime, Jordan Journal of Electrical Engineering, 10(4), pp. 563–593, 2024

[A2] **A. P. Radev**, "Overview and Comparison of Methodologies for Extraction of the Specific current of a MOS Transistor," 2022 13th National Conference with International Participation (ELECTRONICA), Sofia, Bulgaria, 2022, pp. 1-4, doi: 10.1109/ELECTRONICA55578.2022.9874399

[A3] **A. P. Radev**, "Design of temperature-independent reference voltage source," 2023 XXXII International Scientific Conference Electronics (ET), Sozopol, Bulgaria, 2023, pp. 1-5, doi: 10.1109/ET59121.2023.10279424

Цитирано в:

[4] Sharroush, S.M., Analog CMOS Design in Nanometer Regime, Jordan Journal of Electrical Engineering, 10(4), pp. 563–593, 2024

[A4] **A. P. Radev**, "Overview of methodologies for initial design of CMOS integrated circuits in deep submicron processes in different regions of inversion," 2023 XXXII International Scientific Conference Electronics (ET), Sozopol, Bulgaria, 2023, pp. 1-6, doi: 10.1109/ET59121.2023.10278653

Цитирано в:

[5] Sharroush, S.M., Analog CMOS Design in Nanometer Regime, Jordan Journal of Electrical Engineering, 10(4), pp. 563–593, 2024

Статии в рецензирани научни списания в България

[A5] **A. P. Radev**, "Study of methodologies for initial design of analog integrated circuits in submicron and deep submicron CMOS processes", "E+E" Journal, 1/2025. (in print)

SUMMARY

The goal of this dissertation is to study, analyze, and improve the methods and approaches for initial design and sizing (so called hand calculations) of analog integrated circuits implemented in deep submicron CMOS technological processes.

With the emergence of deep submicron CMOS technologies (with minimum channel length below 100nm), analog circuit designers face many new challenges at various stages of the design: reduced supply voltage of the circuits, the need for some transistors to operate in weak or moderate level of inversion, short-channel effects and many others. The classical design approach relies on the model based on the threshold voltage and provides two sets of equations for determining the drain current of the transistor: equations for strong and weak inversion. However, this model is not suitable when the design is performed with gate-source voltages close to the threshold voltage (moderate inversion region). Another disadvantage of the model is that it usually does not account for short-channel effects which are presented in the submicron technologies. This necessitates the investigation and development of other methods for initial design and sizing.

Two other design methodologies that partially or fully resolve some of these problems are studied in the dissertation. One method is design with a simplified EKV model: a model for hand calculations based on the inversion charge. This model provides a single set of equations for all levels of inversion of the channel, but similar to the classical approach - it cannot achieve high accuracy in all operating points, as it is simplified and deals with a limited set of input parameters. Another design approach considered in the dissertation is design through the semi-empirical gm/ID methodology. The methodology is based on precomputed or measured values of the drain current at different voltage potentials on the terminals of a transistor with known channel dimensions. These values can be used as a look-up table to determine the drain current through any transistor in a circuit provided its size and the voltage potentials at its terminals are known.

The main equations and workflows in applying the three design methodologies are discussed in detail. Procedures for determining the parameters used by the analytical models have also been developed: threshold voltage, specific current, temperature coefficients and others.

A significant part of the dissertation is devoted to the design of typical biasing circuits, amplifiers and two operational amplifiers by applying the three design methodologies. A comparison of the effectiveness of the three design approaches through simulation has been performed. The main technology used through the dissertation is 45nm PTM (predictive technology model), with some design tasks repeated with 180nm and 16nm PTM models, as well as models of 110nm technology offered by a semiconductor foundry in order to confirm that the methods and conclusions are not limited to specific technology.

The dissertation provides a summary of the obtained results and valuable recommendations to analog design engineers for designing analog circuits in nanoscale technologies.