



ТЕХНИЧЕСКИ УНИВЕРСИТЕТ – СОФИЯ

Факултет „Електронна техника и технологии”

Катедра „Електронна техника”

Маг. инж. Георги Николов Панов

**ИЗСЛЕДВАНЕ И УСЪВЪРШЕНСТВАНЕ НА СХЕМИ И
СИСТЕМИ СЪС СМЕСЕНИ АНАЛОГОВИ И ЦИФРОВИ
СИГНАЛИ**

**(ANALYSIS AND IMPROVEMENT OF SYSTEMS
CONTAINING CIRCUITS WITH MIXED ANALOG AND
DIGITAL SIGNALS)**

А В Т О Р Е Ф Е Р А Т

**на дисертация за придобиване на образователна и научна степен
„ДОКТОР”**

Област: 5. Технически науки

Професионално направление: Електротехника, електроника и автоматика

**Научна специалност: Теория на електронните вериги и електронна
схемотехника**

Научни ръководители:

доц. д-р инж. Ангел Попов

чл.-кор. проф. д.т.н. инж. Георги Михов

София, 2020 г.

Дисертационният труд е обсъден и насочен за защита от Катедрения съвет на катедра „Електронна техника“ към Факултет Електронна техника и технологии на ТУ – София на редовно заседание, проведено на 14.12.2020 г.

Публичната защита на дисертационния труд ще се състои на 29.03.2021 г. от 13:00 часа в Конферентната зала на БИЦ на Технически университет – София на открито заседание на научното жури, определено със заповед № ОЖ-5.2-126 от 22.12.2020 г. на Ректора на ТУ – София в състав:

1. Проф. д-р инж. Петър Якимов – председател
2. Чл.-кор. проф. д.т.н. инж. Георги Михов – научен секретар
3. Доц. д-р инж. Иван Узунов
4. Проф. д.т.н. инж. Иван Доцински
5. Проф. д-р инж. Рачо Иванов

Рецензенти:

1. Проф. д-р инж. Петър Якимов
2. Доц. д-р инж. Иван Узунов

Материалите по защитата са на разположение на интересуващите се в канцеларията на Факултет Електронна техника и технологии на ТУ – София, блок №1, кабинет № 1355.

Дисертантът е задочен докторант към катедра „Електронна техника“ на факултет Електронна техника и технологии. Изследванията по дисертационната разработка са направени от автора без подкрепа от научноизследователски проекти.

Автор: маг. инж. Георги Панов

Заглавие: Изследване и усъвършенстване на схеми и системи със смесени аналогови и цифрови сигнали

Тираж: 30 броя

Отпечатано в ИПК на Технически университет – София

I. ОБЩА ХАРАКТЕРИСТИКА НА ДИСЕРТАЦИОННИЯ ТРУД

Актуалност на проблема

Светът е аналогов, но днешната електроника е основно цифрова. Така предаването и съхранението на цифрови данни може да се извърши без загуба на информация. Отношението сигнал/шум на аналоговите сигнали намалява винаги при тяхната обработка (в много случай само незначително). Затова аналогово-цифровите преобразуватели (АЦП) са неотменим компонент в електрониката. Тенденцията при системите за събиране и обработка на информация е да се минимизира обработката на аналоговите сигнали – по малко филтриране и усилване за сметка на повишен динамичен диапазон на АЦП. Затова увеличаването на ефективността на АЦП е важна задача за аналоговия дизайн.

Нормално АЦП се нуждаят от входен буфер. Основната причина е, че източниците на аналогови сигнали често имат твърде голям изходен импеданс и не могат директно да се свързват към АЦП. Допълнително, дискретизирането може да смуцава източника на сигнал при маломощни сензори. Когато аналоговият сигнал на входа е с много по-малка амплитуда от входния обхват на АЦП, е необходим усилвател, чиято функция може да се изпълни от входния буфер. Ако АЦП и неговият входен буфер са направени в един и същи чип, във връзката между тях липсват паразитните индуктивности и капацитети на корпуса. Често, това е необходимо условие за постигане на голямо бързодействие и ниска консумация. Затова, за входния буфер се изисква подходяща топология, позволяваща изпълнението му по технологията, използвана за АЦП.

Цел на дисертационния труд, основни задачи и методи за изследване

Целта на дисертационния труд е изследване на система съдържаща схеми със смесени аналогови и цифрови сигнали, като вниманието се съсредоточи върху различните топологии на АЦП с поразредно кодиране, тяхната ефективност и се предложат начини за усъвършенстването им.

За постигането на целта са поставени следните основни задачи:

1. Изучаване и сравнение на различните топологии на АЦП с поразредно кодиране;
2. Изследване на топологиите на АЦП с поразредно кодиране за възможности за подобряване на ефективността;
3. Анализ на изискванията към АЦП драйверите;
4. Избор на подходяща архитектура за входен буфер на АЦП с поразредно кодиране;
5. Дизайн и симулация на транзисторно ниво на АЦП с поразредно кодиране и входен буфер;
6. Сравнение на получените резултати със съществуващи решения.

Основните методи за изследване, използвани в дисертационния труд, са различни видове аналогови симулации изпълнени със симулатора Spectre на фирмата Cadence. Паразитните съпротивления, капацитети и индуктивности на критичните места в схемите са оценени, моделирани и добавени в симулациите за по-голяма достоверност на получените резултати.

Научна новост

Предложена е нова топология на АЦП с поразредно кодиране. Тактовия сигнал и вътрешното управление се формират от затворена закъснителна верига (Delay Locked Loop – DLL). Осигурява се независимост от закъсненията на аналогови схеми и по-малки времеви толеранси. Предложената топология е подходяща за времево-застъпващи (time-interleaved) АЦП с поразредно кодиране.

Представена е нова архитектура на АЦП с поразредно кодиране. Тя не се нуждае от завършване на преходния процес при установяване на изходното напрежение на вътрешния ЦАП. Така, това време се намалява значително. Благодарение на асинхронния метод на работа, се избягва нуждата от генериране на високочестотен тактов сигнал.

Предложена е нова топология на диференциално клас АВ изходно стъпало, подходящо за вграждане във входен буфер за АЦП с поразредно кодиране. То работи при ниски захранващи напрежения, което позволява изграждането му с най-новите субмикронни CMOS технологии. Стъпалото може да се използва и в операционни усилватели с диференциален изход и нискоомен товар.

Представена е модифицирана верига на обратна връзка за управление на синфазното напрежение в операционни усилватели с диференциален изход. Токът консумация е намалена, без при това да се влошават основните параметри на операционния усилвател. Това се постига с две промени на стандартната схема. Те са независими една от друга и могат да се използват поотделно.

Практическа приложимост

Получените резултати от дисертационния труд могат да се използват при избора на топология и дизайн на транзисторно ниво на АЦП с поразредно кодиране и входните им буфери.

Апробация

Не е направен тест чип с изследваните схеми и получените резултати не са проверени с измервания.

Публикации

Основните постижения и резултати от дисертационния труд са публикувани в седем научни статии от които две самостоятелни. Две са в списание *Analog integrated circuits and signal processing*, две са в списание *E+E*, и три са на конференцията *Електронна техника* в Созопол.

Структура и обем на дисертационния труд

Дисертационният труд е в обем от 102 страници, като включва увод, литературно проучване, три глави за решаване на формулираните основни задачи, заключение със списък на основните приноси, списък на публикациите по дисертацията и използвана литература. Цитирани са общо 73 литературни източници, като 67 са на латиница и 2 на кирилица, а 4 са интернет адреси. Работата включва общо 94 фигури и 4 таблици. Номерата на фигурите и таблиците в автореферата съответстват на тези в дисертационния труд.

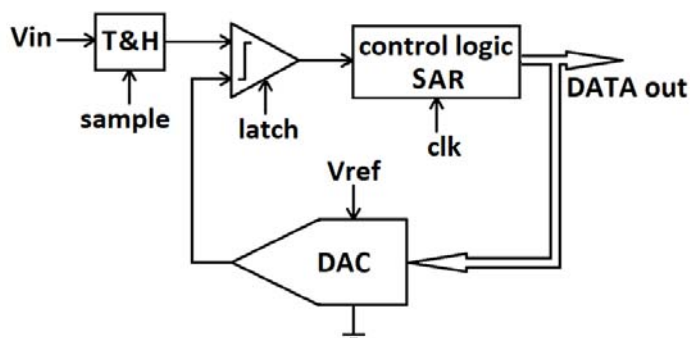
II. СЪДЪРЖАНИЕ НА ДИСЕРТАЦИОННИЯ ТРУД

ГЛАВА 1. Литературен обзор

1.1 Преглед на АЦП с поразредно кодиране

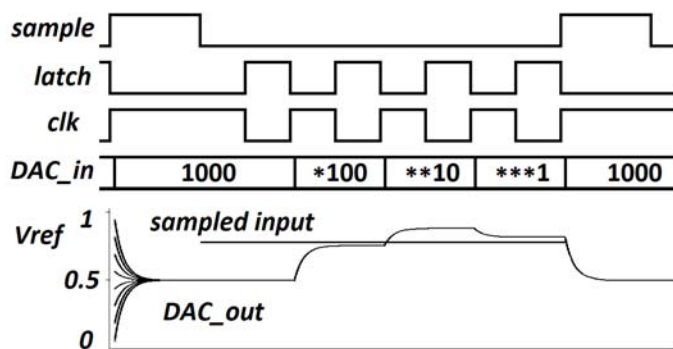
1.1.1 Класически АЦП с поразредно кодиране

Блок-схема на класически АЦП с поразредно кодиране е показана на фиг. 3.



Фиг. 3. Топология на класическо АЦП с поразредно кодиране.

Времедиаграма на класически АЦП с поразредно кодиране и 4 битова резолюция е показана на фиг. 4. Два важни извода могат да бъдат направени. Първо, времето за установяване на изходното напрежение на ЦАП е еднакво (половин период на сигнала *clk*) за всички итерационни стъпки. Очевидно е, че това не е необходимо, когато се определят младшите битове. Второ, компараторът винаги има половин период на сигнала *clk* за да вземе решение. Времето за вземане на решение на компаратора зависи от диференциалната разлика на входния му сигнал и може да се направи много по-малко от най-дългото време, необходимо за установяване на изходното напрежение на ЦАП.

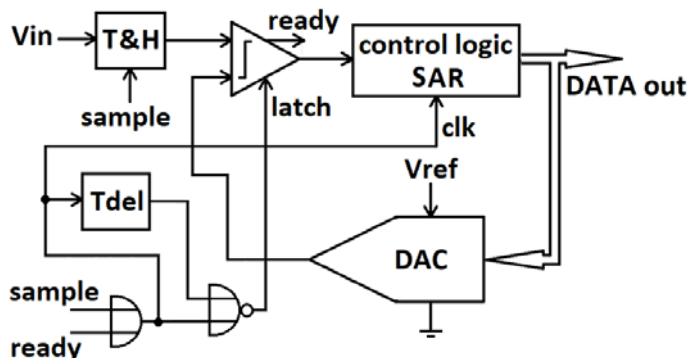


Фиг. 4. Времедиаграма на класически АЦП с поразредно кодиране

Два метода подобряват ефективността на класическия АЦП с поразредно кодиране, като същевременно запазват неговия алгоритъм за преобразуване – с излишък (redundancy) и със самотактуване (self-timing). Понякога двата се използват заедно.

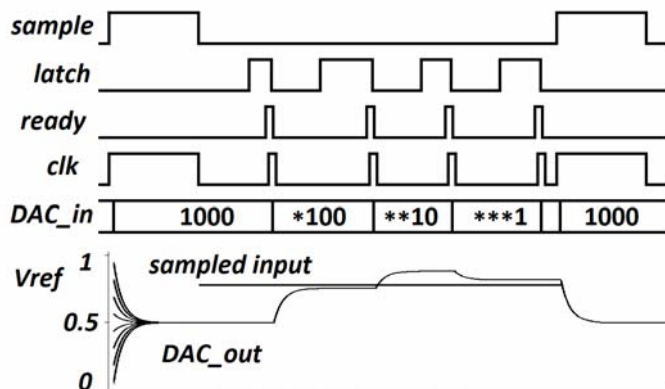
Архитектури, които се различават значително от класическата, като например: получаване на няколко бита във всяка итерационна стъпка; използване на повече от един компаратор за увеличаване на скоростта; комбиниране на поразредно кодиране и конвейерна (pipeline) технологии; използване на паралелен АЦП за получаване на старшите битове, не са разгледани в тази работа.

нала *latch*, преди да прочете изхода на компаратора. Ако цифровият блок за управление получи по-рано нарастващия фронт на сигнала *clk*, времето за установяване на изходното напрежение на ЦАП ще бъде по-дълго. Тази топология се възползва допълнително от свойството на алгоритъма на поразредното кодиране – ако компараторът се нуждае от дълго време за вземане на решение, следващото установяване на изходното напрежение на ЦАП не е критично. Времето за установяване на изходното напрежение на ЦАП за случаи, когато грешката му трябва да бъде по-малка от $1/2$ LSB, може да се увеличи значително в зависимост от скоростта на компаратора.



Фиг. 8. Топология на асинхронен АЦП с поразредно кодиране.

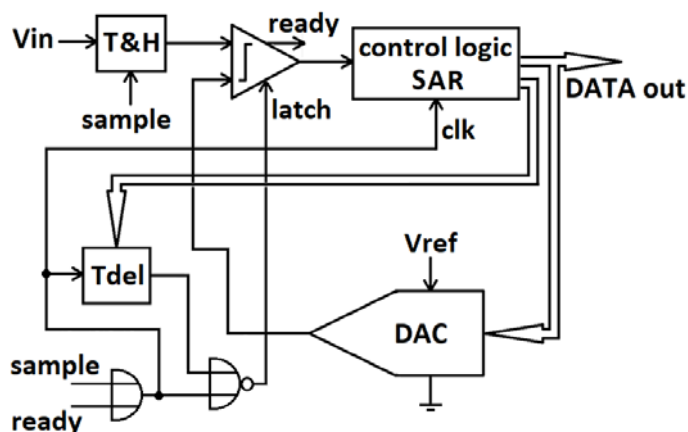
Блокова схема на асинхронен АЦП с поразредно кодиране е показана на фиг. 8. Компараторът е същият, като в полусинхронния АЦП с поразредно кодиране. Тактовият сигнал *clk*, за цифровия блок за управление, и стробиращият сигнал *latch* за компаратора се генерират използвайки сигнала *ready* от компаратора и блока за времезакъснение *Tdel*, формиращ закъснение *Td*. То трябва да съответства на времеконстанта на изходното напрежение на ЦАП.



Фиг. 9. Време диаграма на асинхронен АЦП с поразредно кодиране.

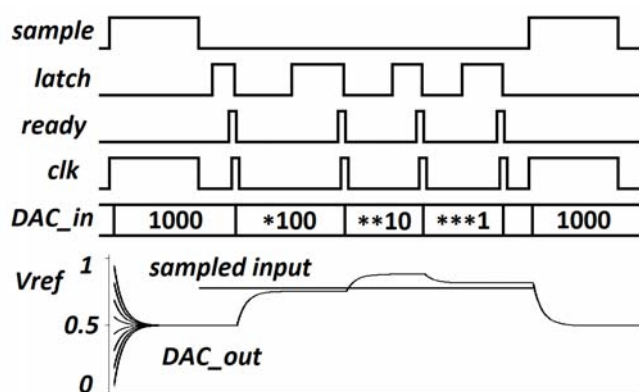
Времедиаграма на асинхронен АЦП с поразредно кодиране и 4-битова разредност е показана на фиг. 9. Сигналът *latch* преминава във високо ниво със закъснението *Td*, след края на дискретизирането и регенеративния процес в компаратора започва. Когато компараторът вземе решение, сигналът *ready* преминава във високо ниво. Той прави нивото на сигнала *clk* високо, а на сигнала *latch* – ниско. Нарастващият фронт на *clk* променя състоянието на тригерите в цифровия блок за управление в зависимост от решението на компаратора. ЦАП получава нови данни и изходът му започва да се променя. Ниското ниво на сигнала *latch* привежда компаратора в състояние на следене на входа и сигналът

ready преминава в ниско ниво. Това причинява падащ фронт на сигнала *clk* и сигналът *latch* преминава във високо ниво със закъснението T_d след това. Така компараторът сам определя необходимото време за своето решение, а времето за установяване на изходното напрежение на ЦАП се задава от блока T_{del} . В схемата има автоколебателен контур, който се стартира и спира от сигнала *sample*. Времето за установяване на изходното напрежение на ЦАП е еднакво във всички итерационни стъпки, както при класическия АЦП с поразредно кодиране. Подобрието е оптималното време отделено за вземане на решение от компаратора, както в полусинхронния АЦП с поразредно кодиране. Следователно времето за установяване на изхода на ЦАП може да бъде удължено при същото общо време на преобразуване.



Фиг. 10. Топология на асинхронен АЦП с поразредно кодиране с променлив период на разредите.

Блокова схема на асинхронен АЦП с поразредно кодиране с променлив период на разредите е показана на фиг. 10. Разликата с асинхронния ADC е само, че закъснението T_d не е постоянно, а се променя по време на преобразуването (става по-кратко). Времедиаграмата на работа при 4-битова разредност е показана на фиг. 11.



Фиг. 11. Време диаграма на асинхронен АЦП с поразредно кодиране с променлив период на разредите.

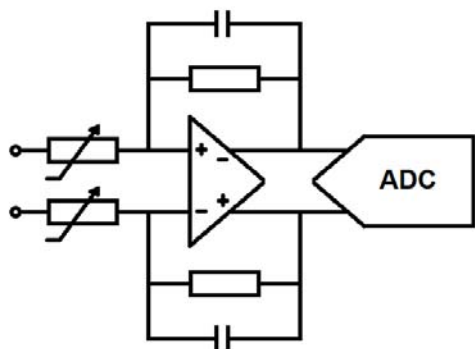
Табл. 1 показва кратко обобщение на намалението на времето за преобразуване (без времето за следене и запомняне на входния сигнал) за различните подобри топологии на АЦП с поразредно кодиране. Стойностите са приблизителни, тъй като зависят от разделителната способност на АЦП и съотношението между времето за установяване на изходното напрежение на ЦАП и времето за вземане на решение от компаратора.

Таблица 1. Кратко обобщение на разгледаните подобрени топологии на АЦП с поразредно кодиране.

Топология	Намаление на времето за преобразуване в пъти спрямо класическата топология
С излишък (двоичен ЦАП с една допълнителна стъпка)	1.6
Полусинхронна	1.8
Асинхронна	1.7
Асинхронна, с променлив период на разредите	2.7

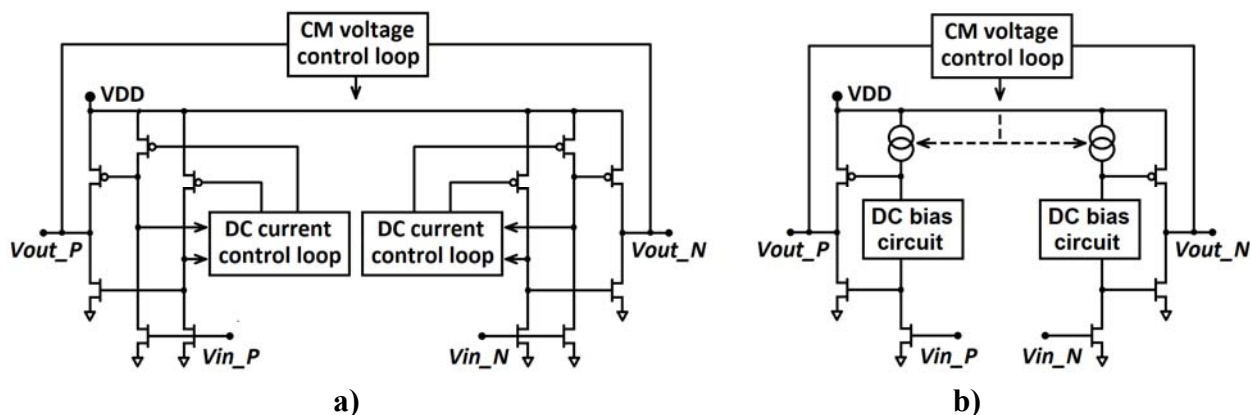
1.2. Преглед на драйверите за АЦП

В много архитектури на АЦП се извършва запомняне на входното напрежение. При някои (с поразредно кодиране, Сигма-Делта с превключваеми кондензатори) това е задължително. При други, като конвейерни и от типа „прегъване и интерполиране” (folding&interpolating), то се прави за по-добра производителност при работа със сигнали с голяма скорост на нарастване. Обикновено източникът на сигнал за АЦП има по-ниска амплитуда от максималния му входен обхват и висок изходен импеданс, което не позволява бързо зареждане на запомнящите кондензатори. Тогава, пред АЦП се поставя входен буфер или усилвател.



Фиг. 12. Диференциален АЦП драйвер.

На фиг. 12 е показано типично изпълнение на диференциален АЦП драйвер, използващ операционен усилвател. Съпротивленията в обратната връзка заедно с кондензаторите изграждат нискочестотен филтър, който има две задачи. Първо, той действа като входен anti-aliasing филтър на АЦП. Второ, намалява количеството на семплираният шум от операционния усилвател и съпротивленията.



Фиг. 13. Изходни стъпала клас АВ от типа rail-to-rail: а) – с управление от типа feedback; б) – със структура от типа feedforward.

Входните АЦП драйвери трябва да могат да осигуряват голям ток за бързо зареждане на семплиращите кондензатори. Изходните стъпала клас АВ от типа „пълен обхват” (rail-to rail) са предпочитано решение за CMOS операционни усилватели, задвижващи запомнящите кондензатори поради ниската им консумация на ток, големия изходен обхват и добрата линейност. Тези изходни стъпала могат да бъдат разделени на две групи – с управление от типа „с изоставане” (feedback) и със структура от типа „с напредване” (feedforward). Управлението от типа „с изоставане” (фиг. 13а) не добавя допълнителни схеми по пътя на сигнала, което е предимство при високоскоростна работа. Тези изходни стъпала обаче се нуждаят от допълнителна верига за управление на тока на покой. В диференциално изпълнение има три управляващи вериги – по една за всяко изходно стъпало и една за контрол на изходното синфазно напрежение. Структурата от типа „с напредване” (фиг. 13b) се нуждае само от верига за контрол на изходното синфазно напрежение и в този случай се намалява консумацията и площта на операционния усилвател. При нея обаче има допълнителна схема на пътя на сигнала, която намалява скоростта на работа.

1.3. Преглед на честотните компенсации на операционните усилватели

Има много различни начини за извършване на честотна компенсация на CMOS операционни усилватели. Нито един от тях обаче не е универсален за да може да се използва във всички случаи. Табл. 2 показва кратко обобщение на разгледаните честотни компенсации в CMOS операционните усилватели с препоръки за тяхното приложение. Милеровата честотна компенсация е най-простата, но въпреки това е най-добрата честотна компенсация за операционни усилватели нуждаещи се от бързо установяване на изходното напрежение. Затова тя е избрана за входния буфер на АЦП с поразредно кодиране изследван в четвърта глава на дисертационния труд.

Таблица 2. Кратко обобщение на разгледаните честотни компенсации.

Честотна компенсация	Подходяща при	Неподходяща при
Милерова	бързо установяване на изходното напрежение	Голям товарен капацитет
Милерова, тип ‘gm boosting’	Маломощни схеми	бързо установяване на изходното напрежение
С -40dB/декада спад на усиляването за двустъпални усилватели	Маломощни схеми	Малка площ на чипа
С -40dB/декада спад на усиляването за тристъпални усилватели	Голямо усиляване и голяма честотна лента	бързо установяване на изходното напрежение
Паралелна	Изходно стъпало с постоянно усиляване	Променлив товар
Каскодна Милерова	Голямо потискане на смущенията от захванването	
С доминиращ полюс на изхода	Голям товарен капацитет	Променлив товарен капацитет, нискоомен резистивен

		товар
При променлив капацитивен товар за двустъпални усилватели	Променлив товарен капацитет	Голяма линейност
Милерова, тип 'nested'	Голямо усилване	Голяма честотна лента, нискоомен резистивен товар
Милерова, тип 'multipath-nested'	Голямо усилване	
Милерова, тип 'nested & feedforward path'	Голямо усилване	бързо установяване на изходното напрежение

ГЛАВА 2. АЦП с поразредно кодиране, използващ DLL за генериране на тактов сигнал

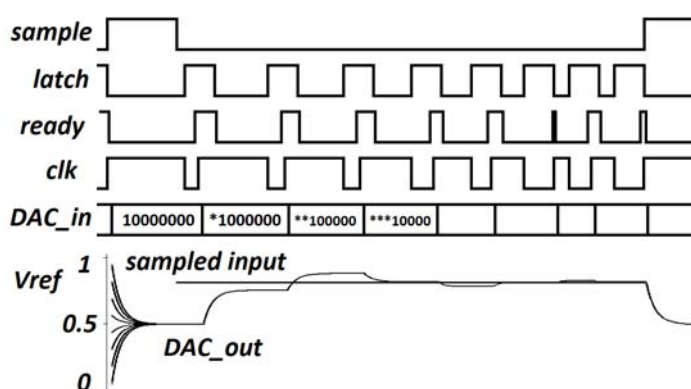
2.1. Полусинхронен АЦП с поразредно кодиране с променливо време за установяване на изходното напрежение на ЦАП

Времената за вземане на решение от компаратора и за установяване на изходното напрежение на ЦАП са оптимални в асинхронния АЦП с поразредно кодиране с променлив период на разреждане. Въпреки това в тази работа се предлагат две техники за по-нататъшно подобрене на ефективността на преобразуването. Първо, генерира се тактов сигнал чрез DLL, за да се избегнат проблеми със съгласуването между закъснението T_d и времеконстанта на изходното напрежение. Второ, използва се свойството на алгоритъма на поразредното кодиране, че ако компараторът се нуждае от дълго време за вземане на решение, следващото установяване на изходното напрежение на ЦАП не е критично.

Предложените техники са тествани с проектиране и симулация на транзисторно ниво на диференциален 8-битов АЦП с поразредно кодиране в 180 nm 1.8 V цифров CMOS процес с метал-изолатор-метал (metal-insulator-metal – MIM) кондензатори. Предимството на представената топология е по-значително в случаите с повече итерационни стъпки. Независимо от това, избрана е 8-битова резолюция, което опростява схемите и позволява да се покажат по-ясно предложените идеи. Използваната топология е като тази на полусинхронния АЦП с поразредно кодиране, показан на фиг. 6. Разликата е в сигнала *latch*, който не е обикновен тактов сигнал с 50% коефициент на запълване, а специална поредица от равни времеви интервали с ниско или високо ниво, произведена от DLL. Грешката при установяването на изходното напрежение на ЦАП е избрана да е максимум 1/4 LSB, което дава съотношения между времената за установяване на изходното напрежение на ЦАП в различните итерационни стъпки 9/8/7/6/5/4/3/2. Времето за следене и запомняне на входния сигнал е избрано да е равно на времето за установяване на изходното напрежение на ЦАП за MSB. Всички времеви интервали за установяване на изходното напрежение на ЦАП се увеличават с един, поради закъснението в цифровия блок за управление от нарастващия фронт на сигнала *clk* до началото на изменението на изхода на ЦАП. Затова те са 10/9/8/7/6/5/4/3. Времето за следене и запомняне на входния сигнал продължава 9 времеви интервали, което гарантира, че то завършва преди началото на първия регенеративен процес в компаратора.

Предпочетен е ЦАП със зарядно преразпределение (charge-redistribution)

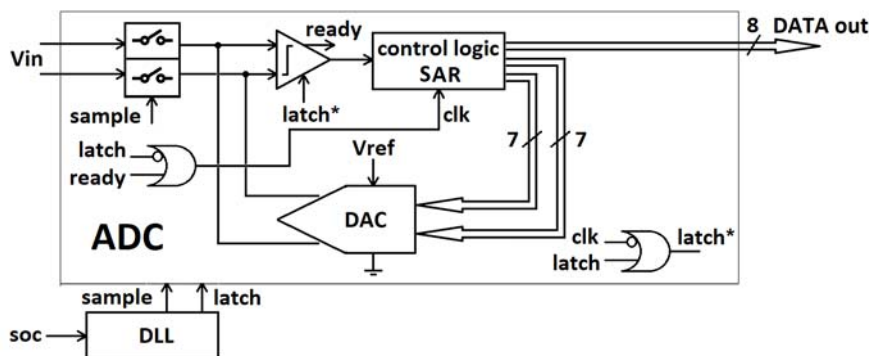
пред типа „споделен заряд” (charge-sharing), поради простотата на първия. Напрежението V_{ref} е избрано да е 1.3 V, като по този начин, входният буфер и буферът на опорното напрежение имат над 200 mV пад на напрежение върху изходните си стъпала. Това означава, че $LSB = 1.3 V \times 2/256 = 10 mV$. Голямата му стойност позволява да се игнорира въздействието на шума, произведен от аналоговите блокове. ЦАП със зарядно преразпределение и с бързо установяване на изходното напрежение, изисква високоскоростен буфер на опорното напрежение, който има значителна токова консумация. Бързият компаратор има огромен пиков ток, но точността на установяването на захранващото напрежение не е толкова важна и грешка в това напрежение от около няколко LSB е приемлива. Затова, токовата консумация на регулатора на захранващото напрежение е по-ниска от тази на буфера на опорното напрежение. Следователно, повече време ще се отделя за установяване на изходното напрежение на ЦАП, и по-малко – за вземане на решение от компаратора. Предвидени са 4 времеви интервала за най-дългото време, давано на компаратора да вземе решение, както и 2 времеви интервала за решения при входна разлика по-голяма от 1 LSB. Избраните времена за взимане на решение от компаратора и ограничението от 1 LSB, са компромис между висока скорост на преобразуване и висока динамична консумация на ток от компаратора.



Фиг. 53. Време диаграма на предложени АЦП с поразредно кодиране.

Времедиаграма на предложени АЦП с поразредно кодиране и 4-битова разредрност е показана на фиг. 53, а блокова му схема – на фиг. 54. Сигналът *sample* се произвежда в DLL и затова, външният управляващ сигнал се нарича *soc* (*start_of_conversion*), за да се прави разлика между тях. Има 10 времеви интервала за установяване на изходното напрежение на ЦАП за MSB. При следващите итерационни стъпки, времето за установяване на изходното напрежение на ЦАП е достатъчно дълго, само ако решението на компаратора в предишната стъпка е било бързо. Ако компараторът се е нуждаел от повече от 2 времеви интервала за него, тогава изходът на ЦАП не може да се установи с грешка по-малка от $1/4$ LSB. Това обаче не е необходимо поради споменатото по-горе свойство на алгоритъма на поразредното кодиране. Сигналът *latch*, идващ от DLL, е: 10 времеви интервала '0' + 4 инт. '1' + 7 инт. '0' + 4 инт. '1' + 6 инт. '0' + 4 инт. '1' + 5 инт. '0' + 4 инт. '1' + 4 инт. '0' + 4 инт. '1' + 3 инт. '0' + 4 инт. '1' + 2 инт. '0' + 4 инт. '1' + 2 инт. '0' + 4 инт. '1'. Продължителността на последната итерационна стъпка е увеличена с един времеви интервал, спрямо преди изчис-

лена стойност. В противен случай ЦАП няма време за установяване на изхода си, ако компараторът се е нуждаел от 4 времеви интервала за взимане на решение в предпоследната стъпка. Избрана е продължителност от 200 ps за времеви интервали произведени от DLL, която е подходяща за CMOS инвертор в 180 nm технология. Така се получават време за следене и запомняне на входния сигнал от $71 \times 0.2 \text{ ns} = 14.2 \text{ ns}$ и честота на семплиране от $1/14.2 \text{ ns} = 70 \text{ MS/s}$.

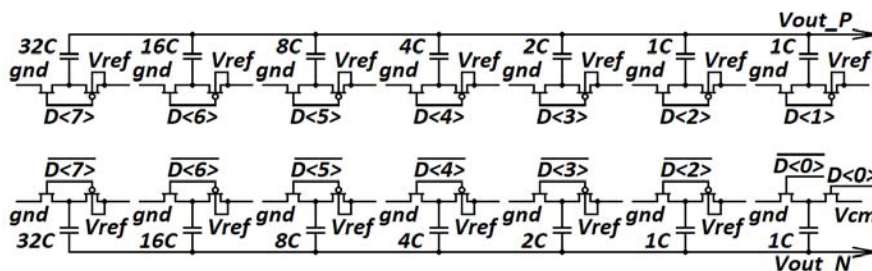


Фиг. 54. Топология на предложени АЦП с поразредно кодиране.

2.2. Схемно изпълнение

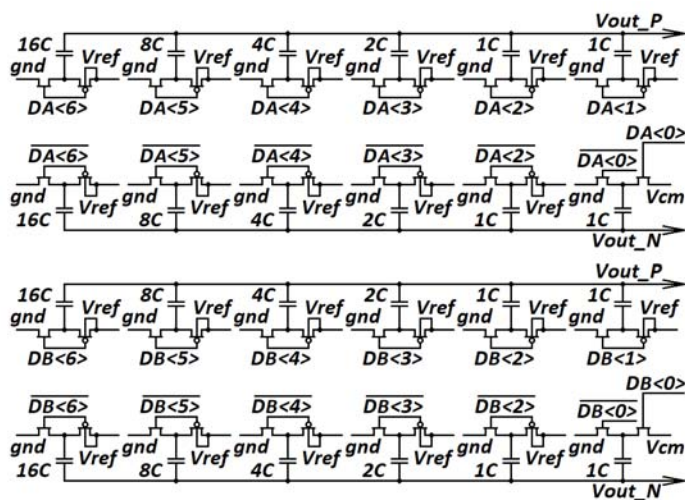
2.2.1. Цифрово-аналогов преобразувател – ЦАП

АЦП с поразредно кодиране, използващи ЦАП със зарядно преразпределение, обикновено нямат отделна схема следене-запомняне. Тази функция се изпълнява от самия ЦАП. ЦАП със зарядно преразпределение ползват два принципа: „с дискретизация отгоре” (top-sampling) и „с дискретизация отдолу” (bottom-sampling). При ЦАП с дискретизация отгоре не се изисква допълнителен V_{cm} буфер, но схемата е чувствителна към паразитно инжектиране на заряд (charge-injection) по време на семплиране. ЦАП с дискретизация отдолу има две предимства: нечувствителност към паразитно внасяне на заряд по време на семплиране и нечувствителност към нелинеен капацитет на изхода на ЦАП. В настоящата работа се използва ЦАП със зарядно преразпределение на принципа с дискретизация отгоре, поради относително голямата стойност на LSB и липсата на значителен нелинеен капацитет на изхода на ЦАП. Използван е превключващ (bootstrapped) ключ за семплиране, за да се намали въздействието на паразитното внасяне на заряд по време на семплиране. Това е често срещано решение за АЦП с поразредно кодиране, използващи ЦАП със зарядно преразпределение на принципа с дискретизация отгоре.



Фиг. 57. ЦАП.

Изградения ЦАП със зарядно преразпределение е диференциален с 6-битова разредност и е показан на фиг. 57. Последният кондензатор $1C$, свързан към шината V_{out_P} , се управлява еднократно (single-ended), което увеличава разделителната способност с един бит. Последният $1C$ кондензатор, свързан към шината V_{out_N} , се превключва между 0 (gnd) и напрежението V_{cm} , което дава още един бит разделителна способност повече. Точността на напрежението V_{cm} и изходният импеданс на източника му не са критични. Един $1C$ кондензатор е 18 fF , което е минималната стойност за MIM в използваната технология. Всеки $1C$ кондензатор е свързан към ключове състоящи се от NMOS с ширина 220 nm и PMOS с ширина 880 nm . NMOS свързан към напрежението V_{cm} , има ширина 440 nm . Всички транзистори имат минимална дължина. Подложките на всички PMOS са свързани към напрежението V_{ref} , за да се избегне увеличаване на съпротивлението им поради обемния ефект (body effect).



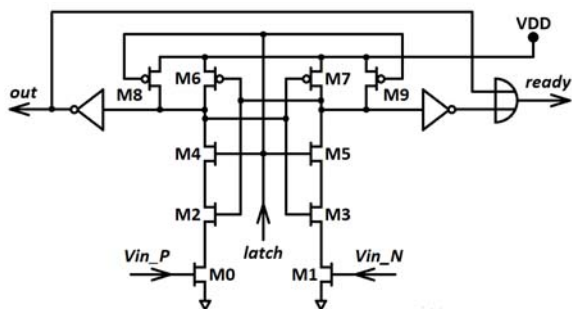
Фиг. 58. ЦАП със раздвоена капацитивна матрица.

ЦАП може да се реализира и чрез раздвоена кондензаторна матрица (split-capacitor) със същия общ размер на кондензаторите (фиг. 58). Ако по време на преобразуване се получи нула, тогава спадът на напрежението V_{ref} в началото на следващата итерационна стъпка, причинен от превключването на кондензаторите, е три пъти по-малък за ЦАП с раздвоена кондензаторна матрица. Максималният изходен ток през буфера на опорното напрежение (по време на итерационната стъпка, когато се търси стойност $MSB - 1$) ще бъде намален три пъти, а консумацията му на постоянен ток ще бъде намалена ln пъти $(A_{ЦП-разредност} \times 3) / ln$, т.е. $(A_{ЦП-разредност}) = 1.5$ пъти. Освен това установяването на изходното напрежение на ЦАП е по-бързо и скоростта на преобразуване може да се увеличи. Цената на това подобрение е увеличаване броя на тригерите в SAR и удвояване на връзките между ЦАП и цифровия блок за управление.

2.2.2. Регенеративен компаратор

Компараторът е показан на фиг. 59. Използва се едностъпална схема без статичен или динамичен предусилвател, поради относително голямата LSB стойност. Входовете на компаратора са свързани директно към ЦАП, поради което е

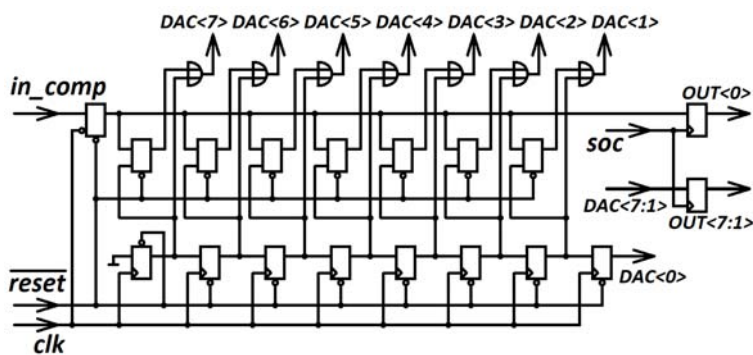
избрана топология с малко влияние на изхода върху входа (kickback).



Фиг. 59. Регенеративен компаратор.

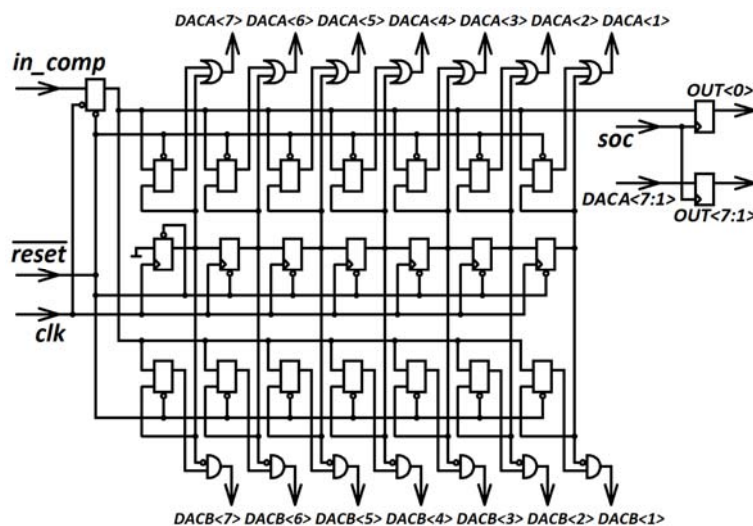
Тук дрейновете на входната диференциална двойка не са свързани към възли, формиращи изходните цифрови нива по време на фазата на регенерация. Ширината на транзисторите е: M0, M1, M2, M3, M4, M5, M6, M7 – 3 μm ; M8, M9 – 8 μm . Всички транзистори имат минимална дължина. В повечето приложения офсета на АЦП се калибрира, затова не е приложен механизъм за отстраняването му.

2.2.3. Регистър за последователно приближаване – SAR



Фиг. 61. SAR.

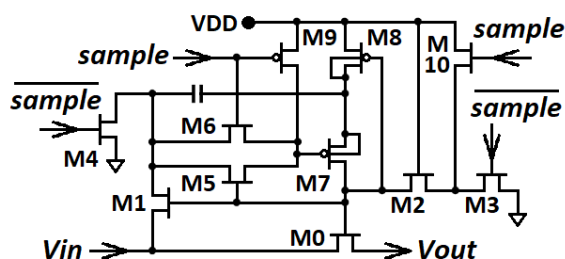
Регистърът за последователно приближаване (Successive Approximation Register – SAR) е показан на фиг. 61. Той се състои от един разрешаван D-триггер за запазване на изхода на компаратора *in_comp*, 8 динамични D-триггера произвеждащи „преместваща се единица“, 7 разрешавани D-триггера за запазване на получените единици по време на преобразуването, 7 логически елемента ИЛИ и 8 динамични D-триггера за запазване на готовите изходни данни в изхода *OUT<7:0>*. Сигналят *sample* се използва за нулиране, и се подава на шината *reset*. Изходът *DAC<0>* управлява ЦАП.



Фиг. 62. SAR за ЦАП с раздвоена кондензаторна матрица.

SAR за ЦАП с раздвоена кондензаторна матрица е показан на фиг. 62. Той се състои от един разрешаван D-тригер за запазване на изхода на компаратора *in_comp*, седем динамични D-тригера произвеждащи „преместваща се единица“, 7 разрешавани D-тригера работещи при получена нула при преобразуване, 7 разрешавани D-тригера работещи при получена единица при преобразуване, 7 логически елемента ИЛИ, 7 логически елемента И и 8 динамични D-тригера за запазване на готовите изходни данни *OUT<7:0>*. Сигналят *sample* се използва за нулиране, и се подава на шината *reset*. Изходите *DACA<7:1>* и *DACB<7:1>* управляват ЦАП.

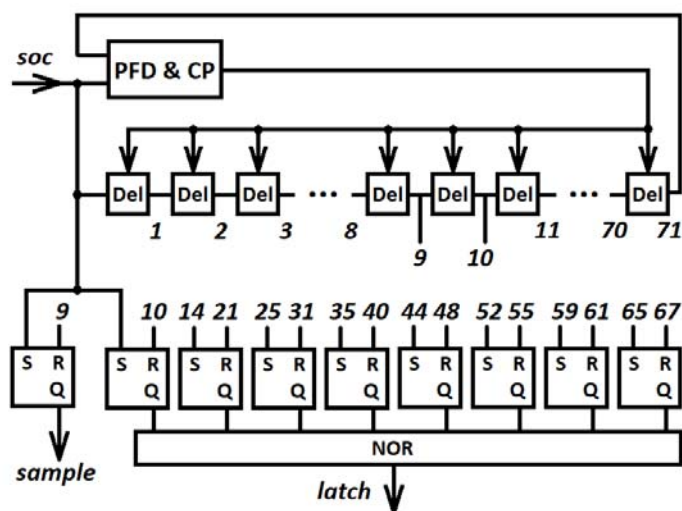
2.2.4. Семплиращ ключ



Фиг. 63. Превключващ (bootstrapped) семплиращ ключ.

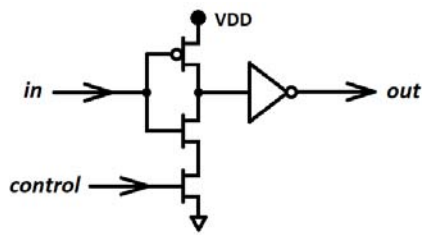
Превключващият семплиращ ключ е показан на фиг. 63. Има една разлика между него и стандартното изпълнение – добавен е ключът M10 за по-бързо влизане в режим на следене. Ширините на транзисторите са: M0 – 24 μm ; M1 – 800 nm; M2 – 3 μm ; M3 – 8 μm ; M4 – 800 nm; M5 – 220 nm; M6 – 1 μm ; M7 – 2 μm ; M8 – 400 nm; M9 – 600 nm; M10 – 220 nm. Всички са с минимална дължина на канала. Съпротивлението на включения семплиращ ключ е между 25 и 30 Ω в зависимост от входното напрежение. Кондензаторът е 500 fF, по технология MIM.

2.2.5. Генератор със затворена закъснителна верига – DLL



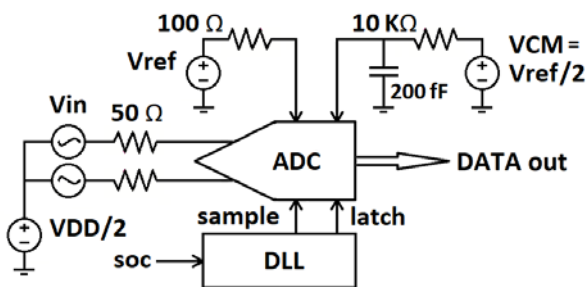
Фиг. 64. DLL за генериране на тактов и дискретизащи сигнали.

DLL се използват за генериране на сигналите *latch* и *clk* в класическите АЦП с поразредно кодиране (фиг. 4), ако няма наличен външен тактов сигнал. На фиг. 64 е показан DLL със 71 стъпала контролирани с напрежение и синхронизирани по *SoC*. Произвеждат се сигналите *sample* и *latch*, използвайки допълнително 9 на брой RS тригера и един 8-входов елемент ИЛИ-НЕ.



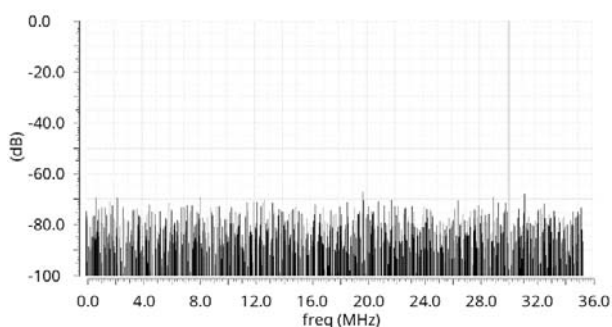
Фиг. 65. DLL стъпало.

2.3. Симулационни резултати



Фиг. 66. Симулационна схема.

емпиране 70 MS/s. Динамичният обхват без изкривявания (Spurious-Free Dynamic Range – SFDR) е съответно -69 и -67 dB. Намалението на линейността при по-висока входна честота се дължи на семплиращите ключове. Усреднената токова консумация е: за аналоговите блокове – $480 \mu\text{A}$ (ЦАП – $220 \mu\text{A}$, компаратор – $230 \mu\text{A}$, семплиращи ключове – $30 \mu\text{A}$); за SAR – $600 \mu\text{A}$; за DLL и генерация на тактов и семплиращ сигнали – $520 \mu\text{A}$ (без детектора за грешно заключване). Това прави общо 1.6 mA или 2.9 mW при захранване от 1.8 V .



Фиг. 67. Нормирани до 0 dB спектър на изходните данни, получени от симулации.

енергия на АЦП и DLL спада до 2.8 mW .

2.4. Сравнение с други АЦП с поразредно кодиране, ползващи самотактуване

Като цяло, предложената топология е малко по-бърза от асинхронната топо-

Схемата на едно стъпало е показана на фиг. 65. Състои се от два последователни инвертора, като първият е с контролируемо закъснение. Тази топология е избрана за да бъде еднакво закъснението на нечетните и четните стъпала. Трите транзистора имат минимална ширина (220 nm) и дължина.

Кондензатори, моделиращи паразитни capacitets, са добавени в критични възли в аналоговите блокове, за да бъдат резултатите от симулацията по-реалистични. Симулационната схема е показана на фиг. 66. Фиг. 67 показва нормирани до 0 dB спектри на изходните данни за входни сигнали с максимална амплитуда и с честоти 34 kHz и 30 MHz , при честота на сем-

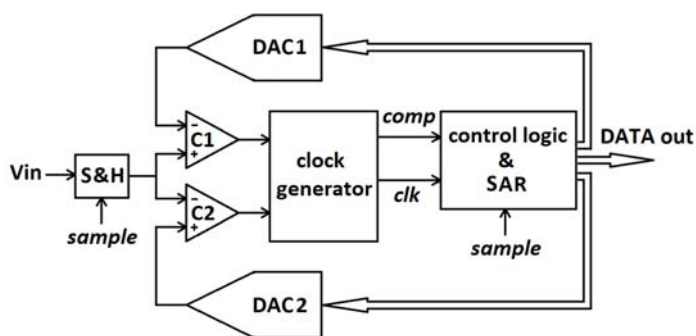
Симулацията на версията на ЦАП с раздвоена кондензаторна матрица показва подобрене на SFDR с 3 dB за ниска входна честота. Няма подобрене при висока входна честота. Това доказва, че намалението на линейността при по-високи честоти се дължи на семплиращите ключове. Усреднената токовата консумация на ЦАП с раздвоена кондензаторна матрица е $150 \mu\text{A}$, а на неговия SAR остава $600 \mu\text{A}$. Така общата консумация на

логия с променлив период на разредите, но има значително по-висока консумация на ток поради допълнителния DLL. Следователно представения АЦП е подходящ за времево-застъпващи структури, в които вече присъства DLL.

ГЛАВА 3. Напълно асинхронен АЦП с поразредно кодиране

3.1. АЦП с поразредно кодиране без нужда от завършване на установяването на изхода на ЦАП.

Технологиите „с излишък” и „самотактуване” подобряват ефективността на класическия АЦП с поразредно кодиране, като същевременно запазват алгоритъма му за преобразуване. Те облекчават изискванията за установяването на изхода на ЦАП при зададена скорост на преобразуване. Въпреки това, все още е необходимо установяването на изхода на ЦАП в рамките на определена грешка. Използването на нови CMOS технологии с по-малка дължина на канала намалява закъсненията на компаратора и цифровата част (SAR). Но това има малко или никакво влияние върху времето за установяване на изходното напрежение на ЦАП с превключваеми кондензатори. Това време зависи от неговия общ капацитет и изходния импеданс на буфера на опорното напрежение. Общият капацитет не може да бъде намален под определена стойност, определена от термичния шум (КТ/С-граница). Изходният импеданс на буфера на опорното напрежение зависи от стръмността му, следователно от токовата му консумация, а не от използваната CMOS технология.

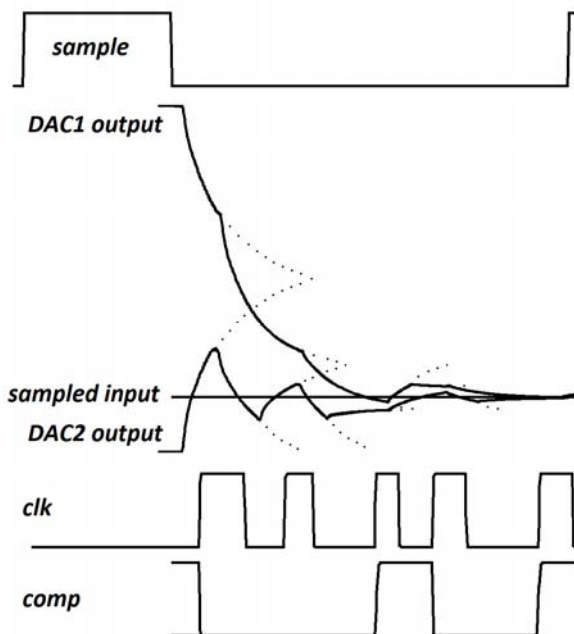


Фиг. 68. Предложената архитектура на АЦП с поразредно кодиране.

Представена е нова асинхронна архитектура на АЦП с поразредно кодиране, която не изисква пълно установяване на изхода на ЦАП по време на итерационните стъпки. Така се намалява времето за преобразуване. Това се постига чрез използване на два ЦАП и два компаратора. Фиг. 68 показва предложената архитектура. Тя се състои от схема следене-запомняне (Sample and Hold – S&H) управлявана от външен сигнал *sample*, два компаратора, два ЦАП, генератор на цифрови сигнали, произвеждащ тактовия сигнал *clk* и входния сигнал *comp* за данни на SAR. SAR получава сигнала *sample* и има допълнителна логика за управление на ЦАП, в сравнение със стандартната схема (фиг. 61).

Време диаграма на предложения АЦП с поразредно кодиране и 5-битова разредност е показана на фиг. 69. Схемата S&H запомня входното напрежение при падащия фронт на *sample*. В този момент изходът DAC1 дава максималната си стойност V_{ref} , а изходът DAC2 дава минималната си стойност 0. Обхватът на входното напрежение също е между 0 и V_{ref} . Компараторите и двата ЦАП изг-

раждат прозоръчен компаратор. Когато семплираният вход е вътре в него, сигналът *clk* е в ниско ниво, в противен случай – във високо ниво. Освен това, ако семплираният вход е под прозореца, тогава сигналът *comp* е в ниско ниво, в противен случай – във високо ниво.



Фиг. 69. Времени диаграма на предложената структура на АЦП с поразредно кодиране.

Преобразуването започва с падащия фронт на сигнала *sample*. SAR подава двоично число *10000* на двата ЦАП и техните изходи започват да се установяват към $V_{ref}/2$. В началото на преобразуването сигналът *clk* е в ниско ниво. Той преминава във високо ниво, когато семплираният вход напусне прозореца (един изход на ЦАП го пресече). SAR подава следващите данни при нарастващия фронт на тактовия сигнал *clk* в зависимост от стойността на сигнала *comp*. Обаче ЦАП, чийто изход е пресякъл семплирания вход, не получава тези данни, докато *clk* е във високо ниво. Вместо тях през това време входните му данни са стойността, която е имал в началото на предишната итерационна стъпка (например на фиг. 69 DAC2

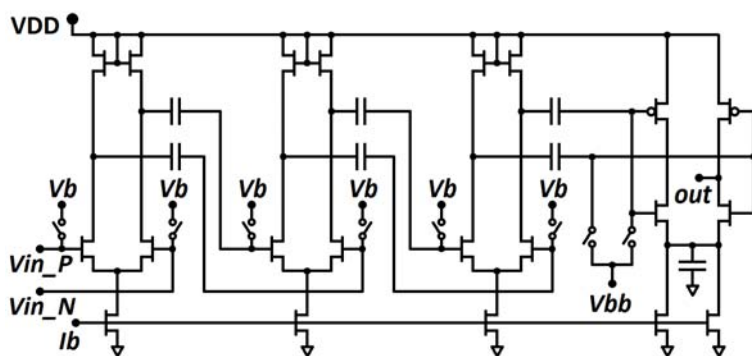
пресича семплирания вход в първата итерационна стъпка. Той получава стойността *00000* във втората стъпка, докато сигналът *clk* е във високо ниво). Следователно, изходът му се връща назад и отново пресича семплирания вход. Това става при падащ фронт на сигнала *clk*. Тогава ЦАП получава данните от SAR и изходът му започва да се установяват към стойността, зададена от SAR. И така нататък, до края на последната итерационна стъпка. По един бит изходни данни се получава при всеки нарастващ фронт на тактовия сигнал *clk*. Това се случва преди края на пълното установяване на изхода на ЦАП, и по този начин времето за преобразуване се намалява. Процесът е асинхронен, като трябва да има достатъчно време, за да завърши преди нарастващия фронт на сигнала *sample*. Ако в даден момент, и двата компаратора дават високо ниво, преобразуването се спира и текущият SAR код се подава на изхода. Двата ЦАП не произвеждат един и същ изход при еднакви входни данни. И двата имат $1/2$ LSB офсет на изходите си. DAC1 дава малко по-малко ниво, а DAC2 малко по-голямо. Това гарантира, че изходът на един от тях ще пресече семплирания вход.

3.2. Схемно изпълнение

10-битов АЦП с диференциален вход ± 1 V, използващ предложената архитектура, е проектиран в 180 nm 1.8 V цифрова CMOS технология и е симулиран на транзисторно ниво, за да се провери представената концепция. Топологията

е като тази, показана на фиг. 68, но всички аналогови блокове (S&H, компаратори, ЦАП) са диференциални.

3.2.1. Компаратор



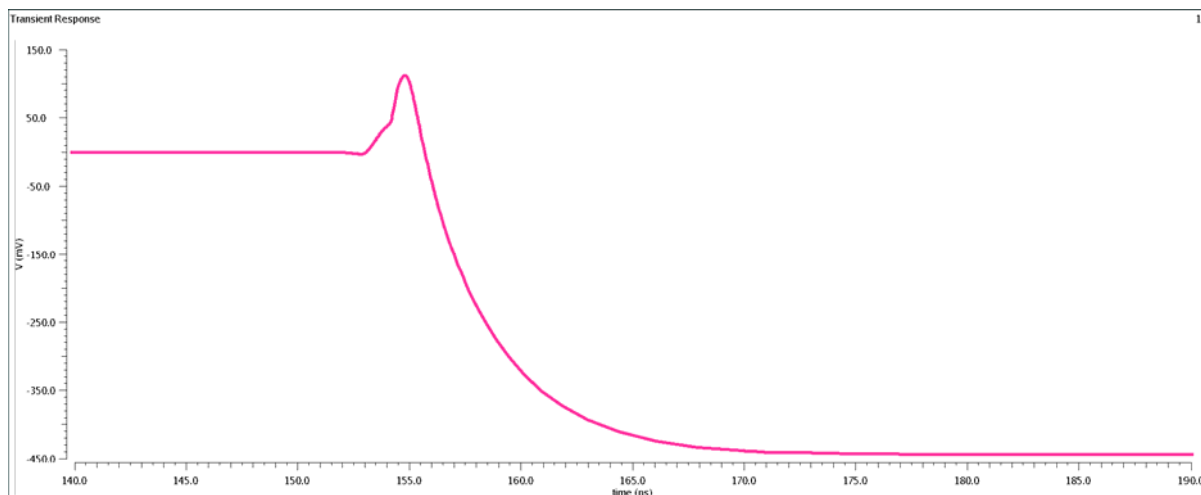
Фиг. 70. Компаратор.

Асинхронната работа на компаратора изисква статично решение (event-driven). Неговият офсет трябва да е по-малък от $1/2$ LSB, за да се гарантира реакцията му при пресичане между семплирания вход и изходите на ЦАП. Допълнително са необходими висока скорост и голямо усилване. Схемата на компаратора е показана на фиг. 70. Състои се от три еднакви диференциални стъпала с ниско усилване, висока честотна лента и нулиране на изходния офсет. За това се използват транзистори, защото те действат като ограничители на изходната амплитуда и предотвратяват насищане. Последното стъпало осигурява големи изходни нива. Кондензаторът, използван в него, поддържа виртуалната маса по-стабилна, което позволява по-бързо превключване на изходното стъпало. В последното стъпало има силен ефект на Милър поради голямото му усилване. Затова неговите транзистори са малки (минимална дължина, NMOS ширина – 300 nm, PMOS ширина – 600 nm), което създава голям входен офсет от 210 mV (с вероятност 6σ). Входните транзистори на стъпалата с ниско усилване имат 10 μm ширина и минимална дължина. Товарните транзистори имат минимална ширина от 220 nm и дължина 400 nm. Усилването на диференциалното стъпало е 7.6. Капацитивният делител, образуван от кондензаторите за съхранение на изходния офсет и входния капацитет на диференциалната двойка, намалява усилването. Затова се използва относително голяма стойност от 400 fF за кондензаторите за съхранение на изходния офсет. Така усилването на стъпалата с малко усилване е около 7. По този начин, офсетът на последното стъпало, приведен на входа на компаратора, се намаля до $210 \text{ mV} / (7 \times 7 \times 7) = 0.6 \text{ mV}$, което е по-малко от $1/2$ LSB. Офсетите на стъпалата с ниско усилване се премахват напълно от кондензаторите за съхранение на изходния офсет. Закъснението на компаратора при промяна на входното диференциално напрежение от -1 LSB на $+1$ LSB е 1.1 ns. Токовата консумация е 220 μA .

3.2.2. Цифрово-аналогов преобразувател – ЦАП

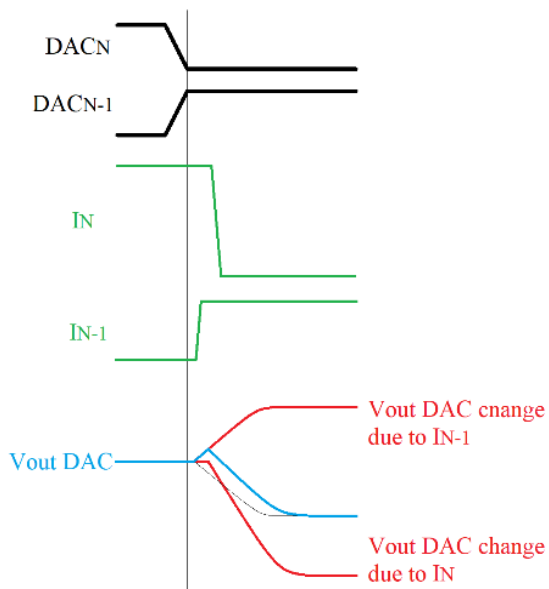
По принцип токовете ЦАП се използват само в бързи АЦП с поразредно кодиране. Тяхната скорост се определя от времето за зареждане на паразитните капацитети на изхода им, които обикновено са значително по-малки от капацита-

тета на ЦАП с превключваеми кондензатори. Затова в този дизайн се използва токов ЦАП. Освен това, необходимият $1/2$ LSB офсет на изходите на ЦАП може да се получи по-лесно, отколкото в случай на ЦАП с превключваеми кондензатори. Преобразуването на тока от ЦАП в изходно напрежение се извършва със съпротивления.



Фиг. 74. Симулирано диференциално изходно напрежение на ЦАП след получена нула за MSB.

Отскок в началото на изменението на изходното напрежение на ЦАП, показан на фиг. 74, може да се появи при използване на двоично кодиран ЦАП, когато е получена нула в предишната итерационна стъпка. Причината е, че в този случай два източника на ток се превключват едновременно в ЦАП, вместо само един, както ако в предишната итерационна стъпка бъде получена единица.

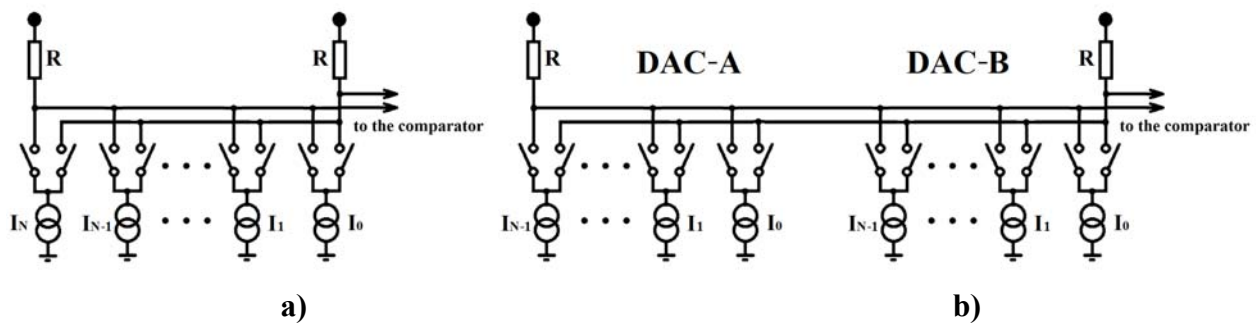


Фиг. 75. Поява на отскок в изхода на ЦАП след получена нула в предишната итерационна стъпка.

Обикновено превключването на големите токове е по-дълго отколкото на по-малките, което предизвиква този проблем, както е показано на фиг. 75. Такъв отскок ще наруши работата на предложената концепция за АЦП с поразредно кодиране, тъй като изходното напрежение на ЦАП първоначално се променя в грешната посока. Затова тук се използва ЦАП с установяване на изхода без отскок. От фиг. 75 може да се види, че този проблем може да бъде избегнат и чрез увеличаване на закъснението при превключване на по-малкия ток. Това решение обаче изисква ръчно изработена цифрова логика и затова то не е използвано тук.

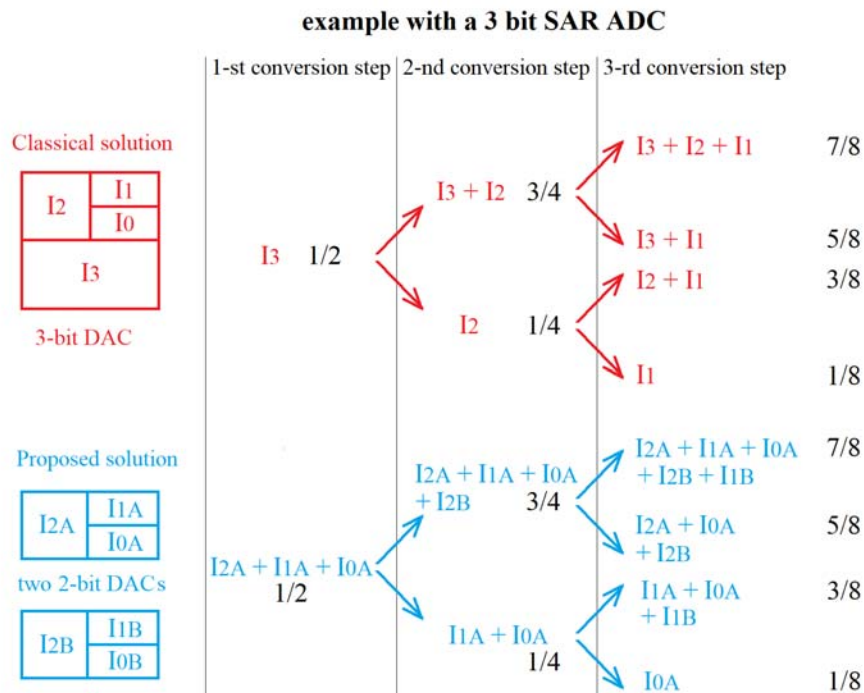
Принципът на работа на ЦАП с раздвоена кондензаторна матрица да се използват два отделни ЦАП, един за

получени нули и един за получени единици, е приложен в използвания ток ЦАП. Винаги се превключва само един източник на ток, без значение от решението на компаратора. За да се постигне това са направени два еднакви N-1 битови ЦАП с общ изход вместо един N битов ЦАП (фиг. 76). Единият ЦАП се използва за увеличаване на изходното напрежение, а другият за намаляването му. По този начин се превключва само един източник на ток в зависимост от решението на компаратора. LSB токът е еднакъв и за класическия ЦАП и за използвания.



Фиг. 76. Ток ЦАП: а) – класически; б) – използван.

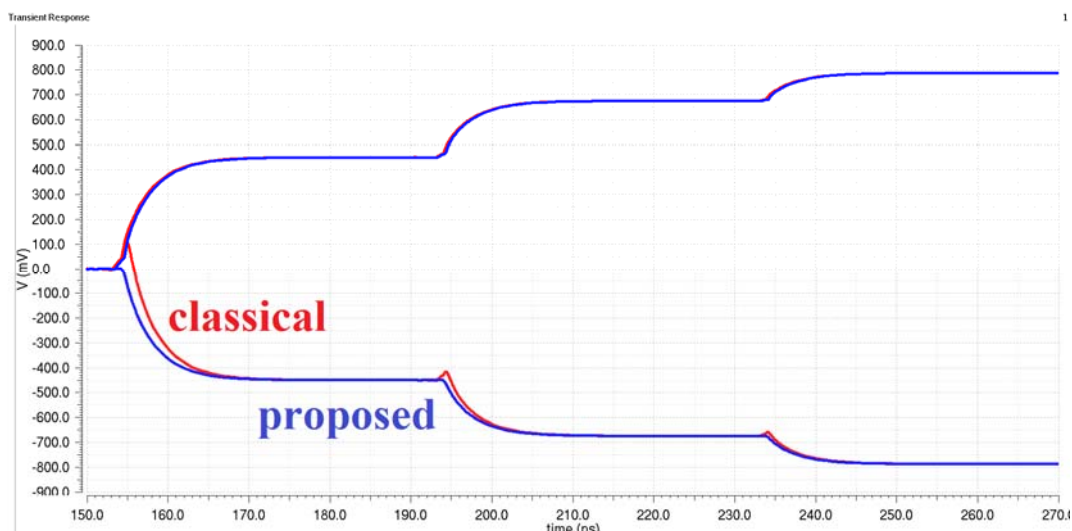
Следователно, максималното изходно напрежение е равно за двете решения. Фиг. 77 показва сравнение за АЦП с поразредно кодиране и 3 битова резолюция. Алгоритъмът е еднотелен (single-ended), като е прието, че увеличаването на тока води до увеличаване на изходното напрежение на ЦАП и обратно.



Фиг. 77. Класически и предложен алгоритъм на превключване.

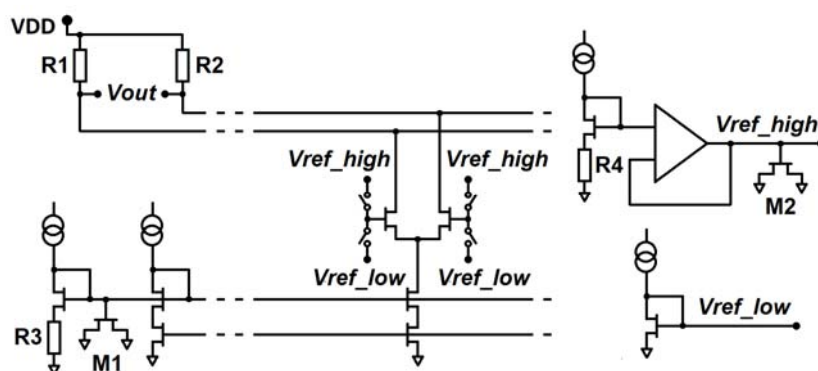
В предложения алгоритъм, DAC-A служи за намаляване на изходното напрежение, а DAC-B – за увеличаването му. По време на първата итерационна стъпка, се използва целият DAC-A, а DAC-B е изключен. Общият ток е полови-

ната от максимално възможния и изходното напрежение е по средата на обхвата си. Ако решението на компаратора в края на първата итерационна стъпка е нула, изходното напрежение трябва да нарасне и част от DAC-B се включва. Ако решението на компаратора е единица, изходното напрежение трябва да спадне и част от DAC-A се изключва. И така до края на преобразуването.



Фиг. 78. Симулирано установяване на изходното напрежение на ЦАП при класическия и при предложения алгоритъм.

Резултатите от симулация на установяване на изходното напрежение на ЦАП с класическия и предложения алгоритъм са показани на фиг. 78. Няма разлика, когато изходното напрежение на ЦАП се увеличава. В обратния случай, предложеното решение има по-бързо установяване, особено в началните итерационни стъпки.

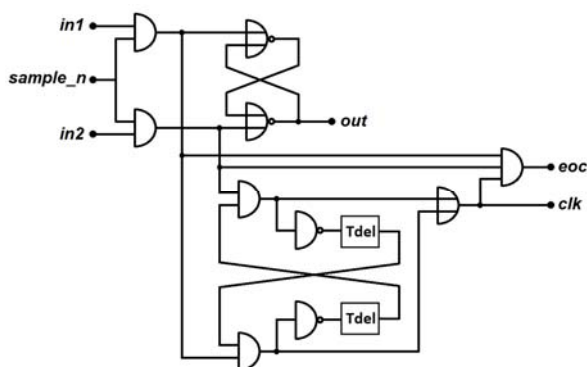


Фиг. 79. ЦАП.

Схемата на един източник на ток от ЦАП е показана на фиг. 79. Той е изграден като каскоден източник на ток с NMOS (за по-висока скорост) транзистори. Всеки от двата идентични ЦАП има 1024 такива източника на ток разделени в две 9-битови бинарни части. Сумата от всички източници на ток е 1 mA, а резисторите на изхода R1 и R2 са по 1 kΩ. Изходните офсети по 1/2 LSB се създават с допълнителни малки генератори на ток. Транзисторите в източниците на ток имат номинални напрежения V_{dsat} от 250 mV и постоянни напрежения V_{ds}

от 400 mV, за да се гарантира работа в областта на насищане при високи температури и бавен (*slow*) процес. Каскодните транзистори имат номинални напрежения V_{dsat} от 100 mV и постоянни напрежения V_{ds} от 200 mV. Транзисторите в токовите ключове (тези, които провеждат) имат номинални напрежения V_{dsat} от 130 mV и поне 200 mV напрежения за V_{ds} . Линейността на ЦАП зависи от съгласуването между транзисторите в генераторите на ток и следователно те трябва да имат голяма площ на гейта. Размерът на единичните транзистори (ширина 600 nm, дължина 6 μ m) гарантира INL грешка, причинена от несъгласуваност на генераторите на ток, по-малка от 1 LSB с вероятност 6 σ . Каскодните транзистори и транзисторите в токовите ключове имат минимална дължина на канала за по-висока скорост. Задаващите токове за ЦАП се получават чрез преобразувател на напрежение в ток, който произвежда ток, пропорционален на еталонно напрежение и обратно пропорционален на резистор от същия тип като R1 и R2. Тъй като резисторите R3 и R4 също са от този тип, падовете на напрежение върху тях са постоянни. Транзисторите M1 и M2 служат като кондензатори със стойност 25 pF за намаляване на импеданса, свързан към гейтовете на токовите огледала. Токовите ключове се включват чрез свързване на гейтовете им към опорното напрежение V_{ref_high} . То е по-малко от захранващото напрежение, за да поддържа транзисторите на токовите ключове в насищане. Токовите ключове се изключват с помощта на друго опорно напрежение V_{ref_low} , а не с маса, за по-бързо превключване. Когато транзисторът на токов ключ е включен, неговият гейтов капацитет се зарежда от напрежението V_{ref_high} . По този начин M2 губи заряд, който се компенсира чрез зареждане на M2 от бавен операционен усилвател с 20 μ A токова консумация. Токовите ключове работят в режим при който двата им транзистора никога не са запущени едновременно (*make-before-break*), за да се предотврати спадането на тока на източниците на ток по време на превключване.

3.2.3. Генератор на цифрови сигнали и обща блокова схема

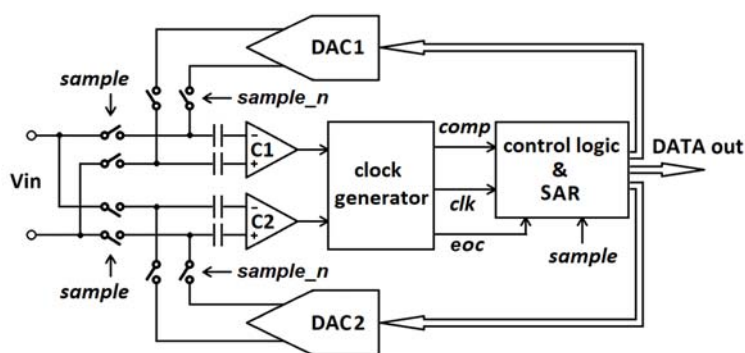


Фиг. 80. Генератор на цифрови сигнали.

Генераторът на цифровите сигнали е показан на фиг. 80. Входовете *in1* и *in2* са свързани към изходите на двата компаратора. Изходът *clk* е тактов сигнал за SAR, а сигналът *out* се подава към неговият вход за данни. Преобразуването спира, ако сигналът за край на преобразуването *eoc* (end of conversion) премине във високо ниво. Тогава текущото съдържание на SAR се дава като изходни данни. Това се случва, когато изходите на двата ЦАП едновременно пресекат семплирания

вход. Сигналът *sample_n* е инверсен на сигнала *sample*.

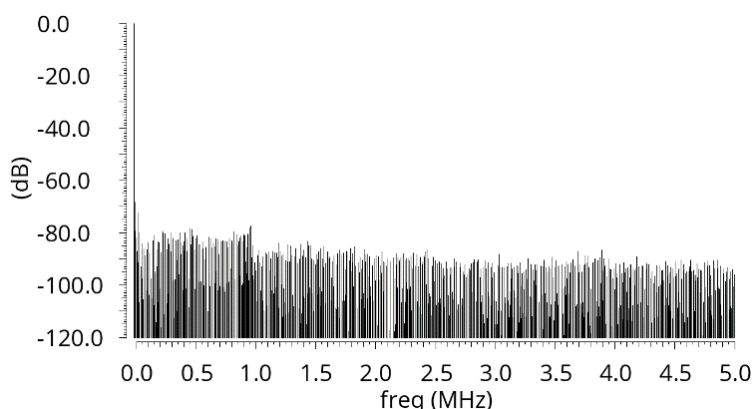
Блокова схема на предложението АЦП с поразредно кодиране е показана на фиг. 81.



Фиг. 81. Топология на предложенния АЦП с поразредно кодиране.

3.3. Симулационни резултати

Фиг. 82 показва нормиран до 0 dB спектър на изходните данни за входен сигнал с максимална амплитуда и честота 1.22 kHz, при честота на семплиране 10 MS/s. Параметърът SFDR е 68 dB. Токовата консумация е: ЦАП – общо 2.16 mA; компаратори – 420 μ A; генератор на цифрови сигнали – 110 μ A; SAR – 220 μ A. Това прави общо 2.91 mA или 5.2 mW при захранване от 1.8 V. Семплиращите ключове са идеални, защото те обикновено влияят на АЦП при високи входни честоти. Затова и симулацията е при ниска входна честота.



Фиг. 82. Нормиран до 0 dB спектър на изходните данни получени от симулация.

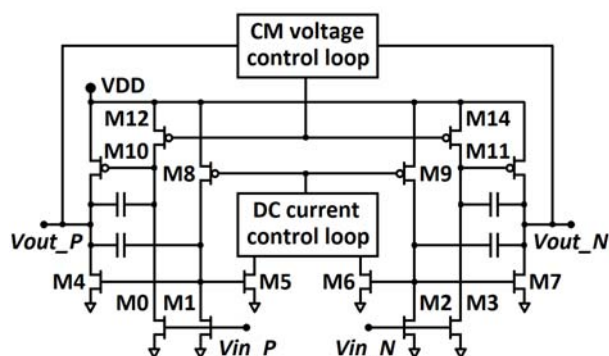
Трябва да се отбележат два недостатъка на предложената архитектура. Първо, необходим е статичен компаратор с голямо усилване и висока скорост. Второ, архитектурата е чувствителна към отскоци в изходите на ЦАП. Следователно, тя може да бъде подходяща за АЦП с ниска и средна разделителна способност (6-8 бита).

Като насока за бъдещи изследвания по тази тема биха могли да се направят следните предложения:

- използване на ЦАП с превключваеми кондензатори. Това би намалило токовата консумация и евентуално площта на АЦП;
- изграждане на архитектурата като нечувствителна към отскоци в изходите на ЦАП. това би направило АЦП по-нечувствителен към паразитни капацитети и същевременно по-надежден;
- намиране на решение за използване на регенеративни компаратори. Това би увеличило скоростта на работа и би намалило токовата консумация.

ГЛАВА 4. Операционен усилвател с бързодействащо диференциално клас АВ изходно стъпало

4.1. Бързодействащо диференциално изходно стъпало клас АВ



Фиг. 86. Предложеното диференциално изходно стъпало клас АВ.

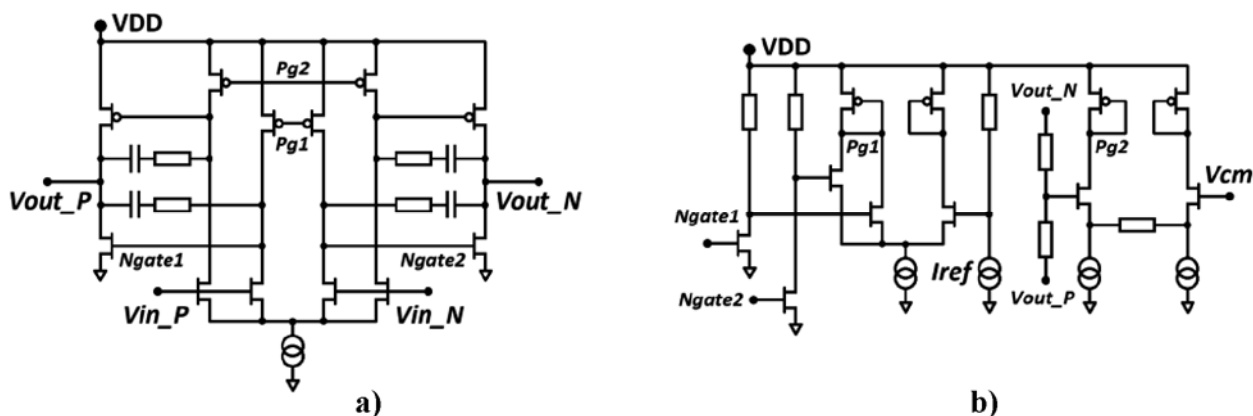
Предложена е нова топология на клас АВ изходно стъпало, която не добавя допълнителни схеми по пътя на сигнала и има само две вериги за управление в диференциално изпълнение. То е показано на фиг. 86 и е съставено от две стъпала, както структурата от типа „с избързване” и тази с управление от типа „с изоставане” (фиг. 13). Първото стъпало се състои от транзисторите M0, M1, M2, M3, M8, M9, M12 и M14. То може да бъде част от операционен усилвател на проводимост (Operational Transcon-

ductance Amplifier – OTA) в първото стъпало на двустъпален операционен усилвател. Второто стъпало включва транзисторите M4, M5, M10 и M11. Транзисторите M5 и M6 копират токовете през изходните NMOS транзистори.

Напреженията на входовете V_{in_P} и V_{in_N} определят тока през първото стъпало. Токовете на M5 и M6 са пропорционални на токовете съответно през M4 и M7. Веригата за управление на тока на покой осигурява определен постоянен ток през изходното стъпало, както управляваща верига в структурата с управление тип „с изоставане”. Разликата е, че се следи само токът през изходните NMOS транзистори. Следователно, предложената топология не допуска синфазен изходен ток през NMOS транзисторите, чиято стойност е сравнима или по-голяма от зададената стойност на постоянния ток в изходното стъпало. Веригата за контрол на изходното синфазно напрежение е стандартна и определя изходното синфазно напрежение. По този начин токът на покой на предложеното стъпало се задава от верига за управление на тока, а неговото изходно синфазно напрежение се задава от верига за контрол на изходното синфазно напрежение.

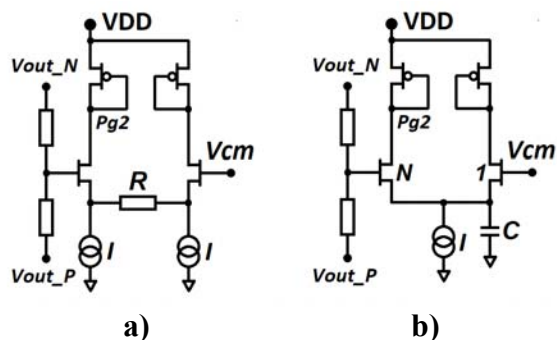
4.2. Схемно изпълнение на транзисторно ниво.

На фиг. 87 е показано схемно изпълнение на предложената топология в 180 nm CMOS технология със захранващо напрежение 1.2 V. Като пример е изграден двустъпален диференциален операционен усилвател с Милерова компенсация. Първото стъпало е елементарен OTA за по-добро демонстриране на представената идея. Първото стъпало е разделено на две еднакви части. Токът I_{ref} определя постояннотоковата консумация, а изходното синфазно напрежение се задава от напрежението V_{cm} . Веригата за управление на тока на покой е класическа. Веригата за управление на изходното синфазно напрежение е стандартна, с диференциална двойка с намалена стръмност чрез съпротивление.



Фиг. 87. Схемно изпълнение: а) – ОТА усилвател; б) – управляващи вериги.

Изграден и симулиран е идентичен операционен усилвател с модифицирана верига за управление на изходното синфазно напрежение. Той има същите характеристики с по-ниска консумация на ток. Предложеното решение е показано на фиг. 88 (фигура б). Транзисторите в диференциалната двойка не са равни. Ширината на левият е N пъти по-голяма. При N няколко пъти по-голямо от едно, може да се приеме, че токът през левия транзистор е I . В този случай честотите на единично усилване на двете вериги за контрол на изходното синфазно напрежение, както и честотите на полюсите във възлите $Pg2$, са равни. Затова стабилността на двете решения е еднаква.



Фиг. 88. Верига за контрол на изходното синфазно напрежение: а) – стандартна; б) – предложена.

Кондензаторът C от предложеното решение създава нула gmI/C , както и полюс $(gmN+gmI)/C$, които подобряват стабилността на веригата за контрол на изходното синфазно напрежение. Добавянето им, заедно с модифицираната диференциална двойка, намаляват над два пъти токовата консумация на веригата за контрол на изходното синфазно напрежение, спрямо стандартното решение (фигура а). Кондензаторът C може да се постави и в стандартното решение за подобряване на стабилността и намаляване на токовата консумация. Тогава, той се свързва към сorsa на левия транзистор, чийто гейт се управлява от обратната връзка.

4.3. Изчисления

Операционния усилвател е предвиден за драйвер на АЦП с поразредно кодиране от Глава 3. Топологията е тази от фиг. 12, с фиксирано усилване едно (всички резистори са еднакви). Максималната грешка при установяване на изходното напрежение в края на семплирането е избрана не повече от $1/2$ LSB.

Основните параметри при изчисляването на усилвателя са:

– товарни (в случая семплиращи) капацитети – 400 fF;

- време за установяване на изходното напрежение – 9 ns (10 ns време за семплиране с прието 10 % време за влизане в линейен режим);
- максимална грешка при установяване на изходното напрежение в края на семплирането ($1/2 \text{ LSB}$) в проценти – $(100\% / 2^9) / 2 = 0.1\%$.

Освен това, средно квадратичното шумово напрежение на изхода на драйвера е избрано да не надхвърля $1/6 \text{ LSB} = 0.33 \text{ mV}$. Тогава грешката предизвикана от него ще е по-малка от 1 LSB с вероятност 6σ. Приема се, че операционният усилвател и съпротивленията имат само термичен шум, защото честотата на единично усилване на операционния усилвател е много по-голяма от честотите на които $1/f$ шума доминира.

Времеkonстантата на усилвателя е $\tau = t / \ln 2 \times 10 = 9 \text{ ns} / 7 = 1.28 \text{ ns}$, където t е времето за установяване на изходното напрежение. Честотната лента на веригата за обратна връзка е половината от честотата на единично усилване на операционния усилвател, ако не се вземат предвид кондензаторите в обратната връзка. Те увеличават усилването във веригата на обратна връзка за високи честоти, и затова нейната честотна лента е по-малко от два пъти по-ниска от честотата на единично усилване на операционния усилвател. Въпреки това е прието отношението две, за да има известен запас в пресметната честота на единично усилване на операционния усилвател. Така тя е $2 / (6.28 \times 1.28 \text{ ns}) = 250 \text{ MHz}$.

Очакваните основни източници на шум са транзисторите в първото стъпало и четирите съпротивления в обратната връзка. За начало, те се оразмерят да създават еднакво средно квадратично шумово напрежение на изхода $\sqrt{(0.5 \times 0.33^2 \text{ mV}^2)} = 0.23 \text{ mV}$. Четирите съпротивления създават равен средно квадратичен шум на изхода. Така кондензаторите в обратната връзка трябва да са поне по 300 fF (фиг. 12). Честотата на срез на нискочестотния филтър се избира в зависимост от спектъра на входния сигнал. Ако тя се приеме 5.3 MHz, то за съпротивленията в обратната връзка се получава 100 kΩ. Шумовото напрежение на операционния усилвател приведено към входа му се усилва по две до честотата на срез на нискочестотния филтър. След това усилването му е по едно до честотата на единично усилване на операционния усилвател. Приемайки, че целият шум на операционния усилвател се създава само от първото му стъпало, тогава средно квадратичното шумово напрежение на изхода е $\sqrt{[4 \times k \times T \times Rn \times (4 \times 5.3 \text{ MHz} + 245 \text{ MHz})]} = 0.23 \text{ mV}$. От тук, еквивалентното шумово съпротивление на операционния усилвател Rn е 12 kΩ.

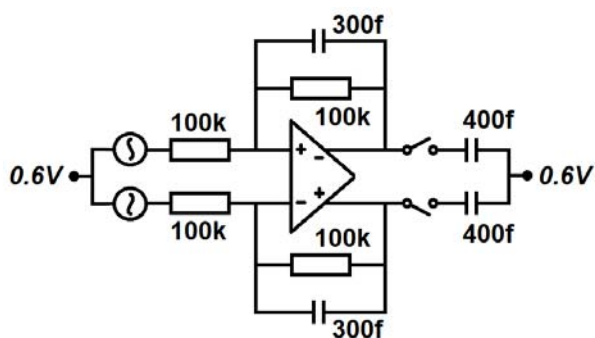
Обикновено, стръмността на входната диференциална двойка в ОТА е по-голяма от тази на активния товар. Затова тук се приема, че тя създава 2/3 от шумовото напрежение в операционния усилвател. Така нейното еквивалентно шумово съпротивление е $12 \text{ k}\Omega \times 2 / \sqrt{5} = 10.7 \text{ k}\Omega$, или по $10.7 \text{ k}\Omega / \sqrt{2} = 7.5 \text{ k}\Omega$ за всеки входен транзистор. Това отговаря на стръмност 133 μS. Приемайки 100 mV разлика между напрежението гейт-сорс и праговото напрежение за входните транзистори, токът в първото стъпало трябва да е по-голям от $0.1 \text{ V} \times 133 \mu\text{S} = 13.3 \mu\text{A}$. От тук, за кондензаторите в честотната компенсация, се получава $133 \mu\text{S} / (2 \times \pi \times 250 \text{ MHz}) = 85 \text{ fF}$. Милеровата честотна компенсация е по-ефективна, когато компенсиращият кондензатор е по-голям от капацитета на

гейта на изходния транзистор. Затова четирите компенсиращи кондензатора са избрани по 220 fF всеки. Тогава, стръмността на първото стъпало е $440\text{ fF} \times (2 \times \pi \times 250\text{ MHz}) = 690\text{ }\mu\text{S}$ а токът му е $70\text{ }\mu\text{A}$ (взета е стойност $80\text{ }\mu\text{A}$ за по-лесно оразмеряване на токовете огледала).

Честотата на недоминиращия полюс на изхода на операционния усилвател е избрана да е по-голяма от тази на единичното му усилване, за да се избегне влошаване на установяването на изходното напрежение. При 250 MHz честота на единичното усилване (gain-bandwidth – GBW), $gm2/Cl = 2 \times (2 \times \pi \times \text{GBW})$ и тогава $gm2 = 2 \times (2 \times \pi \times 250\text{ MHz}) \times 400\text{ fF} = 1.3\text{ mS}$, където $gm2$ е стръмността на изходното стъпало и Cl е товарният капацитет. Стръмността на изходното стъпало е сума от стръмностите на двата изходни транзистори. Приемайки, че те имат по 100 mV разлика между напрежението гейт-сорс и праговото напрежение на входните транзистори, тогава тока на покой в изходното стъпало е $0.5 \times 1.3\text{ mS} \times 0.1\text{ mV} / 2 = 33\text{ }\mu\text{A}$. Съпротивленията серийно на компенсиращите кондензатори са избрани по $3\text{ k}\Omega$.

Веригата за контрол на изходното синфазно напрежение има $50\text{ }\mu\text{A}$ консумация в стандартното изпълнение и $25\text{ }\mu\text{A}$ – в модифицираното. Резисторът R от фиг. 86а е $5.5\text{ k}\Omega$. Отношението N между ширините на входните транзистори и кондензатора C от фиг. 86b са съответно 4 и 150 fF . Веригата за управление на тока на покой консумира $25\text{ }\mu\text{A}$ ток и има допълнителен нискочестотен филтър в токовото огледало свързано към възел $Pg1$ за по-добра стабилност.

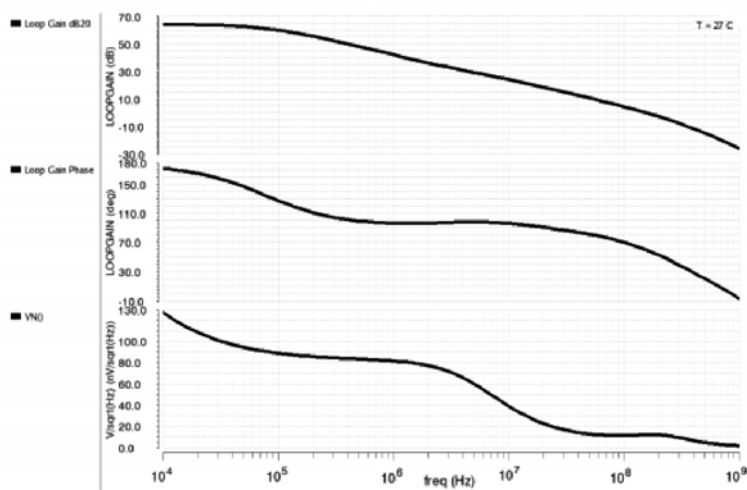
4.4. Симулационни резултати



Фиг. 91. Симулационна схема.

Симулационната схема е показана на фиг. 91. Използвани са превключващи семплиращи ключове, описани в Глава 2. Общата токова консумация е $200\text{ }\mu\text{A}$: първо стъпало – $80\text{ }\mu\text{A}$; второ стъпало – $70\text{ }\mu\text{A}$ (2×35); верига за управление на тока на покой – $25\text{ }\mu\text{A}$ и верига за управление на изходното синфазно напрежение – $25\text{ }\mu\text{A}$.

Резултати от АС симулации са показани на фиг. 92 (усилването на веригата за обратна връзка, нейната фаза и спектралната плътност на изходния шум). Запасът по фаза е 60° , а честотата на единично усилване на веригата за обратна връзка е 160 MHz . Честотата на единично усилване на операционния усилвател е 247 MHz . Честотата на срез на нискочестотния филтър е 5.1 MHz . Спектралната плътност на изходния шум има два полюса – на около 5.1 MHz и 247 MHz . Интегрираният средно квадратичен изходен шум между 100 kHz и 250 MHz е 0.3 mV , а между 100 kHz и 1 GHz – 0.33 mV . Частта от него, породена от съпротивленията в обратната връзка, е 0.23 mV . Интегрираният средно квадратичен изходен шум е еднакъв за диапазоните $1\text{ Hz} \div 250\text{ MHz}$ и $100\text{ kHz} \div 250\text{ MHz}$, което показва, че $1/f$ шумът може да се пренебрегне.

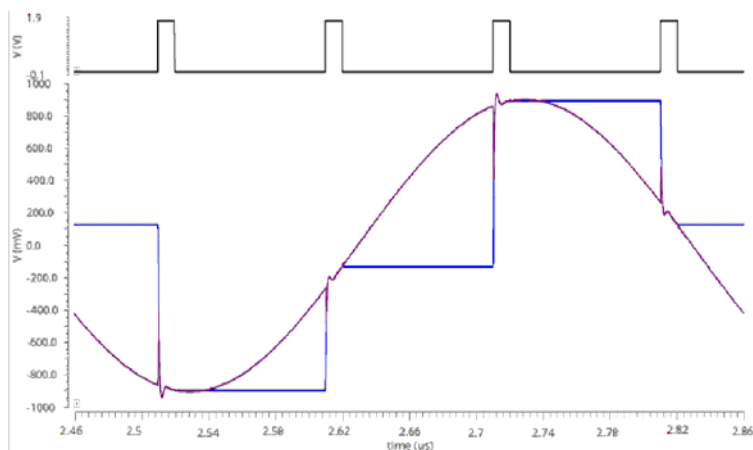


Фиг. 92. Резултати от АС симуляции.

Веригата за управление на тока на покой има честота на единично усилване 1.6 MHz и 60° запас по фаза. Токът на покой на изходното стъпало е 34.3 μA , вместо 35 μA . Веригата за управление на изходното синфазно напрежение има честота на единично усилване 21 MHz и 63° запас по фаза. Изходното синфазно напрежение е 608 mV, вместо 600 mV. Резултатите от времева симулация на линейността (критерии е SFDR) със синусоидален сигнал с максимална амплитуда са показани в табл. 3.

Таблица 3 Зависимост на SFDR от входната честота

Входна честота	10 kHz	100 kHz	500 kHz	1 MHz	2 MHz	5 MHz	10 MHz
SFDR	93 dB	92 dB	88 dB	85 dB	83 dB	93 dB	78 dB



Фиг. 93. Резултати от времева симулация.

Резултати от времева симулации са показани на фиг. 93 – управляващ сигнал за семплиране, изходно диференциално напрежение и диференциално напрежение след семплиращите ключове. Входният сигнал е синусоида с честота 2.5 MHz. Семплирането трае 10 ns и има период 100 ns.

ПРИНОСИ НА ДИСЕРТАЦИОННИЯ ТРУД

Научно-приложни приноси:

1. Анализирани и сравнени са съществуващите методи за подобряване на ефективността на класическия АЦП с поразредно кодиране, които запазват съ-

щевременно неговата архитектура. Направена е оценка на тяхната ефективност.

2. Анализирани и сравнени са различните честотни компенсации, използвани в операционните усилватели. За всяка от тях са препоръчани случаи на приложение. Избрани са подходящите честотни компенсации за използване във входни буфери на АЦП с поразредно кодиране

3. Предложена е нова топология на АЦП с поразредно кодиране. Нейната ефективност е сравнима с тази на най-добрите подобни решения в литературата. Тактовия сигнал и вътрешното управление се генерират от DLL. Така те не зависят от закъснения получени от аналогови схеми и затова са с по-малки времеви толеранси. Предложената топология е подходяща за time-interleaved АЦП с поразредно кодиране използващи DLL.

4. Представена е нова архитектура на АЦП с поразредно кодиране. Тя не се нуждае от завършване на преходния процес при установяване на изходното напрежение на вътрешния ЦАП. Така времето отделяно за установяване на изходното напрежение на вътрешния ЦАП се намаля значително. Благодарение на асинхронния метод на работа се избягва нуждата от генериране на високочестотен тактов сигнал. Направени са предложения за бъдеща работа по новата архитектура.

5. Предложена е нова топология на диференциално клас АВ изходно стъпало подходящо за вграждане във входен буфер за АЦП с поразредно кодиране. То работи при ниски храняващи напрежения, което позволява приложението му в схеми произведени с най-новите субмикронни CMOS технологии. Това стъпало може да се използва и в операционни усилватели с диференциален изход и нискоомен товар.

Приложен принос:

6. Представена е модифицирана верига на обратна връзка за управление на синфазното напрежение в операционни усилватели с диференциален изход. Токът консумация е намалена без при това да се влошават основните параметри на операционния усилвател. Това се постига с две промени на стандартната схема. Те са независими една от друга и могат да се използват поотделно.

ПУБЛИКАЦИИ ПО ДИСЕРТАЦИОННИЯ ТРУД

1. Panov G., Popov A., Mihov G. (2016). A SAR ADC with current steering DAC and voltage input. *Analog Integrated Circuits and Signal Processing*, 89(2), 411-415
2. Popov A. N., Panov G. N. (2016). Removing multiple switching by using circuit with dynamic hysteresis. *XXV International Scientific Conference Electronics (ET)* (pp. 1-3)
3. Panov G. (2017). Overview of frequency compensations in the CMOS operational amplifiers, Part one – The basics. *Electrotechnica & Electronica E+E*, 52(5-6), 12-17
4. Panov G. (2017). Overview of frequency compensations in the CMOS operational amplifiers, Part two – Advance solutions. *Electrotechnica & Electronica E+E*, 52(7-8), 1-9
5. Panov G. N., Popov A. N. (2017). Replica biased complementary CMOS comparator. *XXVI International Scientific Conference Electronics (ET)* (pp. 1-3)
6. Panov G. N., Popov A. N. (2018). A SAR logic for glitch-less operation of a current steering DAC in a SAR ADC. *XXVII International Scientific Conference Electronics (ET)* (pp. 1-3)
7. Panov G., Popov A. (2020). A semi-synchronous SAR ADC with variable DAC settling time using a DLL. *Analog Integrated Circuits and Signal Processing*, 103(1), 187-194

Analysis and improvement of systems containing circuits with mixed analog and digital signals

by M.Sc. Georgi Panov

Summary

The dissertation reviews two different but related topics – SAR ADC and SAR ADC drivers.

The existing methods for improvement of the efficiency of the classical SAR ADC topology preserving in the same time its architecture are studied and analyzed. A new SAR ADC topology is proposed and investigated. A transistor level implementation is built and simulated. The results are compared with other enhanced SAR ADC topologies.

A new SAR ADC architecture is introduced, based on the outcomes of the examination of the existing enhanced SAR ADC topologies. Circuit solutions for the different building blocks are analyzed and investigated. A transistor level implementation of the proposed architecture is built and simulated. Based on these results, suggestions for future work for improvement of the new architecture are made.

Diverse frequency compensations used in the OpAmps are analyzed and compared. The best application cases are shown for each of them. The appropriate frequency compensations for implementation in SAR ADC drivers are selected.

A new class AB output stage suitable for SAR ADC driver is proposed. An Opamp using it is designed on transistor level. Its correct operation is checked by simulations. A modified output common mode control loop with reduced power consumption is used in this OpAmp. An analysis of the possible current saving is made.

The dissertation contributions can be summarized as follows:

1. Proposal of a new SAR ADC topology. Its efficiency is comparable with that of the best solution in the literature. Its timing is produced by a DLL. Therefore it does not depend on analog delays and thus is more stable. It is suitable for implementation in time interleaved ADC, where a DLL is already present.
2. Proposal of a new asynchronous SAR ADC architecture. It does not require complete settling of the DAC output. Thus, the time needed for DAC output settling can decrease significantly. The asynchronous implementation avoids the need for external high-speed clock for bit resolving.
3. Proposal of a new class AB output stage for high-speed fully differential OpAmps. It is simpler than the classical one with feedback topology and achieves the same speed. It allows operation at low supply voltages and therefore is suitable for amplifiers build in the new deep-submicron CMOS technologies. It can be used for ADC drivers and for OpAmps driving resistive loads as well.
4. Proposal of a modified output common mode control loop with reduced current consumption. It does not degrade any significant parameter of the OpAmp. This is achieved by two changes of the standard circuit. They are independent and can be used separately.