

Резюме, обобщаващо приносите на научни публикации предоставени по група показатели В за участие в конкурс за академична длъжност „доцент“ по научна специалност 02.20.03 „Интегрална схемотехника, материали, технологии и специално обзавеждане“ от професионално направление 5.2 „Електротехника, електроника и автоматика“

1. Увод

В настоящето резюме са обобщени приносите основните научно-приложни и приложни приноси на 10 бр. научни публикации, публикувани в реферирани издания, които индексирани в световноизвестни бази данни с научна информация (показател В.4), по които са забелязани 5 бр. цитирания.

Предоставените публикации по показатели група В, разглеждат част от проблемите при моделиране на субмикронни транзисторни елементи. Разгледани са както класически полеви транзисторни елементи, така и нетрадиционни елементи като транзистори с въглеродна нанотръба (CNTFET), многогейтовите FinFET транзистори и др. Акцентът е върху проблемите при изграждането на симулационни модели, необходими за автоматизация на инженерния труд при проектиране с тези устройства. В допълнение е обърнато внимание към моделирането за автономен контрол на скоростта и пътя на автомобил, както и разработването на интелигентен сензорен възел за наблюдение на шумовите параметри.

2. Актуално състояние на проблема

Технологиите за изграждане на свръхголеми CMOS интегрални схеми (VLSI) се развиват постоянно. Развитието следва закона на Мур, който формулира емпиричната закономерност, че броят на транзисторите в интегрална схема (ИС) ще се удвоява на всяка година, като по този начин цената на един

транзистор ще намалява. В следствие неговата прогноза е актуализирана така, че броят на транзисторите в интегрална схема ще се удвоява на всеки 18 месеца. Основен фактор за това развитие е желанието за намаляване на съотношението цена/производителност, което бива постигано по два начина, (i) увеличаване на размера на пластините за производство на ИС, и (ii) миниатюризация или намаляването на размерите на полупроводниковите елементи. От една страна, това води до значително увеличаване на степента на интеграция и производителността на VLSI, но от друга страна, тези размери водят до нарастващо влияние на квантовите ефекти като увеличаването на ток на утечка, поради тунелиране, квантизация, нарушаване на закона за запазване на енергията и др.

Квантовите ефекти, причинени от субмикронните размери на устройствата водят до все по-трудно симулиране на поведението на транзисторите, като например зависимостта на тока от напрежението. Това води до затруднение при създаването на компактните модели, използвани от САД софтуер и за схемно проектиране. Моделите на транзисторите се сблъскват с две противоречиви изисквания: те трябва да бъдат едновременно с ясна прозрачна и опростена конструкция и същевременно много точни. За да се гарантира качеството на проектираните схеми, моделите трябва да бъдат мащабируеми, за да съответстват на тенденцията за миниатюризация, а същевременно да бъдат точни в голям обхват на условия. Допълнително утежняващо обстоятелство е желанието компактните модели да се обвържат с уравнения базирани на физиката на полупроводниковите елементи.

Характерно качество за моделирането на полупроводникови елементи, е че не са възможни постоянни или „окончателни“ решения. Променящите се архитектури на елементите (CNTFET, FinFET, SET, NWFET, NS), нови ма-

териали (PD-SOI, FD-SOI, UTB, strained Si/SiGe-on-insulator и др.) предопределят необходимостта от постоянно развитие и адаптиране на моделите, методите и средствата за проектиране и автоматизация на инженерния труд.

3. Резултати

1. Изследване и класификация на субмикронни транзисторни структури

Публикация¹ представя изчерпателен поглед върху настоящото технологично състояние и бъдещото развитие на неklasическите транзисторни елементи. Разгледани са тенденциите, (i) за миниатюризация на интегралните схеми с много висока степен на интеграция (VLSI), (ii) пречките пред бъдещата миниатюризация, (iii) развитието на технологичните процеси с размери под 10 nm, както и свързаните с тях (iv) подходи за моделиране на устройства и компактните модели на структурите. В резултат от миниатюризацията размерите на активните области на настоящите полевите транзистори са в областта под 10 nm, а това води до увеличаване на влиянието на многобройните квантови ефекти.

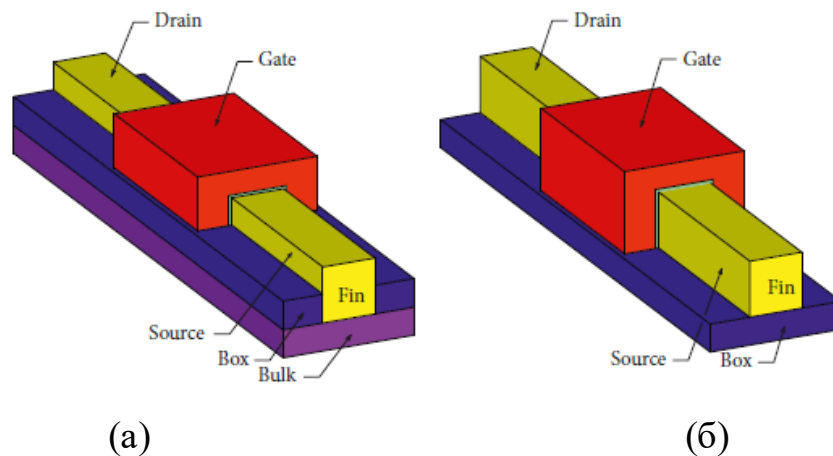
Едно от последствията от нарастване на влиянието на квантовите ефекти се изразява в увеличаване на тока на утечка. Неговото увеличение е благодарение на ефекта на тунелиране, който причинява токове на утечка в подгейтовия оксид и между областите на сорса и дрейна. Токът на утечка в подгейтовия оксид е една от най-сериозните пречки към намаляване на размерите, понеже възпрепятства транзистора да се запуши/отпуши напълно.

Две направления могат да се отличат в стремежа за преодоляване на тези ограничения, въвеждането на (i) нови технологии и материали и на (ii) нови транзисторни архитектури. В направлението на новите материали е показано използването на high-k диелектрици/метални гейтове, силиций вър-

¹ George V. Angelov, Dimitar N. Nikolov, and Marin H. Hristov, "Technology and Modeling of Nonclassical Transistor Devices," *Journal of Electrical and Computer Engineering* 2019 (November 3, 2019): 1–18, <https://doi.org/10.1155/2019/4792461>.

ху изолатор (SOI - silicon on insulator) с ултра тънък слой, германий върху изолатор (GOI – germanium on insulator), използването на полупроводници от трета-пета група, както и транзистори с модифицирана забранена зона (канал от SiGe или напрегнат Si).

Разгледани са различни неklasически структури на полеви транзистори като възможни наследници на конвенционални CMOS и FinFET устройства, като нови транзисторни структури с множество гейтове, FD-SOI MOSFET, CNTFET и SET. Фигура 1, показва две структури на полеви транзистори с множество гейтове, изградени върху SOI подложка.

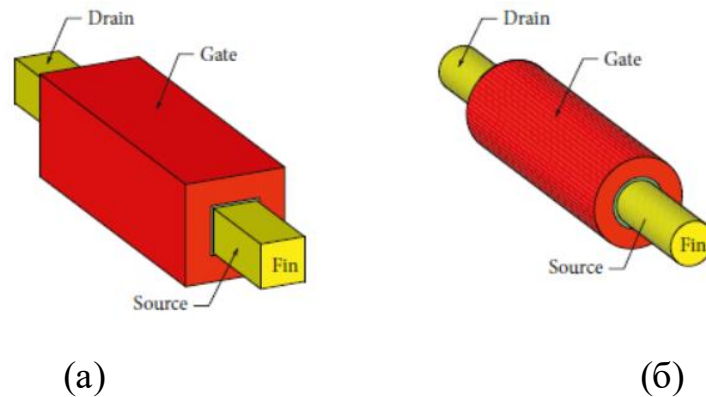


Фигура 1 Полеви транзистори с множество гейтове.

Специално внимание е отделено на полеви транзистори с цял гейт (gate-all-around FETs) и съответно на полеви транзистори с на наножики (nanowires) и (nanosheets) като предстоящи заместители на FinFET. Фигура 2 показва две разновидности на полеви транзистори с цял гейт. Фигура 2 (а) показва полеви транзистор с цял гейт от четирите страни, а фиг. 2 (б) показва полеви транзистор с наножики и цял гейт.

Във връзка с новите технологични тенденции са разгледани компактното моделиране на транзистори и на транзистори с множество гейтове, как-

то и BSIM и PSP симулационните модели на FD-SOI MOSFET, CNTFET и SET структури.



Фигура 2 Полеви транзистори с цял гейт

Следващите две статии се фокусират върху изследване на структурата на модела на CNTFET транзистор, предлагат на процедура по оптимизация на броя параметри и проектиране на клетка SRAM памет с модела с намален брой параметри.

2. Анализ и моделиране на транзистори с въглеродна нанотръба

Публикация² изследва влиянието на всички 430 вътрешни параметъра на модела на CNTFET транзистор. Основната цел е да се открият моделните параметри с минимално влияние върху изходните и преходните характеристики на CNTFET модела, като се изследва влиянието на промяната на стойността на един или набор от параметри. Пълният модел на CNTFET транзистора е разработен от Университета Станфорд и е описан на Verilog-A, реализиран като стандартна библиотека в средата за разработване на интегрални схеми Cadence.

² Mariya Lyubomirova Spasova et al., “Analysis of the Impact of CNTFET Model Parameters on Its Transfer and Output Characteristics,” in *2016 XXV International Scientific Conference Electronics (ET)* (IEEE, 2016), 1–4, <https://doi.org/10.1109/ET.2016.7753513>.

Влиянието на моделните параметри се оценява чрез въвеждането на ценовата функция,

$$\operatorname{argmin} \delta, RMSE \text{ subject to: } P_n, n \in [1, 430],$$

където δ е относителната грешка между изследваната характеристика на пълния модел и модела с променен параметър, а $RMSE$ е средна квадратичната грешка между пълния и модела с променен параметър.

В резултат на предложената процедура са класифицирани три групи с параметри според тяхното влияние, (i) първата група параметри има пренебрежим ефект върху изходните и преходните характеристики, (ii) втората група параметри имат фундаментално значение за работата на модела, а (iii) третата група параметри имат значително влияние върху изходните характеристики. В резултат на предложената процедура е определена група от 59 параметъра, които имат пренебрежителен ефект върху изходните и преходните ВАХ на CNTFET транзистора. Предложен е модел на CNTFET транзистора, с редуциран брой параметри.

Публикация³ надгражда и апробира работата по процедурата за оценка на вътрешните параметри на модела на CNTFET чрез проектирането на SRAM клетка памет използваща предложения модел с редуциран брой параметри. Проектирана е 2x2 6T SRAM клетка памет и са сравнени употребата на изчислителни ресурси между симулация извършена с пълния модел и модела с редуциран брой параметри. Сравнено е поведението при четене и запис на SRAM клетката памет при използване на двата CNTFET модела. За

³ Mariya Spasova et al., "SRAM Design Based on Carbon Nanotube Field Effect Transistor's Model with Modified Parameters," in *Proceedings of the International Spring Seminar on Electronics Technology*, 2017, <https://doi.org/10.1109/ISSE.2017.8000953>.

проверка на правилното функциониране е извършена симулация на функционален тест на паметта за запис и четене.

Резултатите показват, че параметрите, които са редуцирани имат пре-небрежимо влияние върху DC поведението на транзистора, но по-осезателно влияние върху поведението в честотната област. Но това влияние не е достатъчно, за да промени резултата от функционалния тест на паметта и да се получи грешен резултат. Сравнена е разликата в използването на изчислителни ресурси между двата модела. Моделът с редуцирани параметри употребява по-малко изчислително време и по-малко памет в сравнение с модела пълен брой параметри, което ще донесе подобрене при извършването на сложни смесени цифрово-аналогови симулации.

3. Методика за екстракция на параметри на модела на 14 nm FinFET

Следващата група от 5 публикации се обединяват около анализа на експериментални данни на FinFET устройства, произведени по 14-nm технологичен процес в IMEC, Белгия. Данните съдържат електрически характеристики на различни модификации на FinFET транзистори като различен брой ребра “fins”, различна дължина на гейта, различни позиции върху пластина и др.

Публикация⁴ анализира експериментални данни от различни FinFET транзистори, произведени по 14-nm технология. Анализиранията извадка съдържа данни за три модификации на FinFET транзистори, 5 различни дължини на гейта (24 nm, 28 nm, 30 nm, 90 nm и 1 μ m) както и 4 различни броя

⁴ George Angelov et al., “Analysis of Experimental Data for 14-Nm FinFETs,” in *2018 IEEE 27th International Scientific Conference Electronics, ET 2018 - Proceedings* (IEEE, 2018), 1–4, <https://doi.org/10.1109/ET.2018.8549623>.

“fins” (2, 4, 6, 22). Целта на анализа е да се провери и избере подходяща структура за последваща екстракция на моделни параметри. Анализът е базиран на гладкостта на изходната им характеристика, както и това дали тя е диференцируема. Гладкостта е оценена като е изчислена първата производна на изходните характеристики на транзистора, построен е регресионен математически модел по метода на най-малките квадрати и са сравнени и оценени разликите между регресионния модел и първата производна на изходните характеристики. Процедурата е извършена в средата инженерни пресмятания Matlab. В резултат на анализа са избрани FinFET транзистори за екстрахиране на моделни параметри, което е темата на следващата публикация.

Публикация⁵ показва процедура за извличане на параметри за BSIM модели на избрани FinFET транзистори, произведени по 14-nm технология. Параметрите включени в процедурата включват праговото напрежение, изходната проводимост (λ), параметъра MEHP – моделиращ изглаждането при преминаване на параболата на насищане и стръмността на предавателната характеристика (g_{ch}). За процедурата по екстракция на параметри са използвани експериментални данни от IMEC, Белгия. Екстрахираните параметри са валидирани чрез използването им в PTM-MG (Predictive Technology Model - multi-gate) модел и резултатите показват 14 % точност спрямо експерименталните данни. Процедурата е разработена и реализирана в средата Matlab.

При извличането на параметри за BSIM модели за FinFET транзистори, пролича необходимостта от анализ и изследване на изменението на характе-

⁵ G. Angelov et al., “Extraction of Model Parameters for 14-Nm Bulk FinFET,” in *Proceedings of the International Spring Seminar on Electronics Technology*, vol. 2018-May, 2018, <https://doi.org/10.1109/ISSE.2018.8443678>.

ристичните параметри породено от технологичните параметри за производство. Следващите 3 публикации разглеждат тази проблематика.

Публикация⁶ изследва изменението (variability) на параметрите на *p-tin* FinFET транзистори, произведени по 14-nm технология в зависимост от позицията на транзистора върху силициевата пластина. Параметрите върху, които се концентрира статията са, (i) дрейновия ток, (ii) отклонението на дрейновия ток от медианата му, (iii) промяната на праговото напрежение. Разглеждат се три различни позиции върху пластината при произвеждането на транзисторите, както и 18 различни транзисторни структури, различни дължини на гейтовете и различен брой на ребра (fins). Резултатите от статистическия анализ показват, че разликите между медианата на дрейновия ток при различните позиции варира от 7.65×10^{-8} до 1.06×10^{-6} А. Резултатите не показат значима промяна за праговото напрежение в различните позиции за различните типове транзистори.

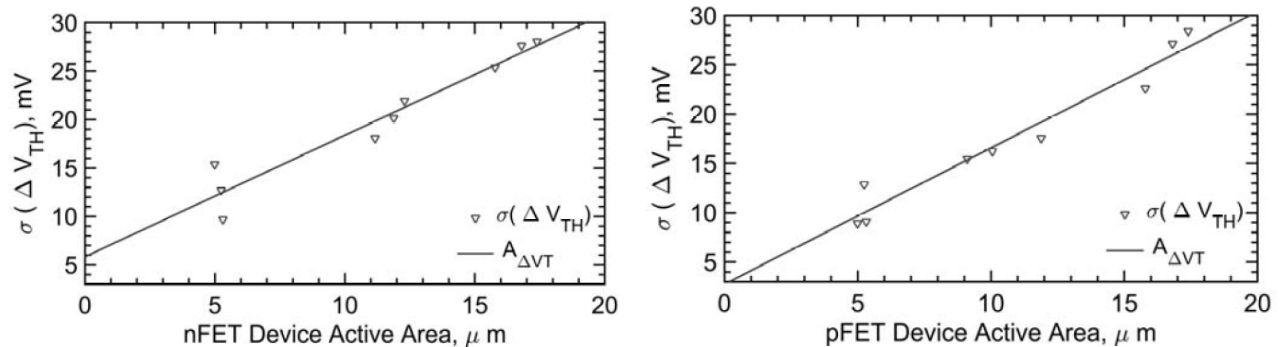
Публикация⁷ продължава работата в посока изследване изменението (variability) на параметрите на FinFET транзистори, произведени по 14-nm технология в зависимост от позицията на транзистора върху силициевата пластина. Параметрите върху, които се концентрира статията са, (i) дрейновия ток, (ii) отклонението на дрейновия ток от медианата му, (iii) промяната на праговото напрежение. Разликата с предходната статия е разглеждането на *n и p-tin* транзистори като е направено сравнение между изменението на параметрите. Резултатите показва, че дрейновия ток варира

⁶ George Vasilev Angelov et al., “Study of P-Type FinFETs’ Parameter Variability Depending on Wafer Location,” in *2019 IEEE XXVIII International Scientific Conference Electronics (ET)* (IEEE, 2019), 1–4, <https://doi.org/10.1109/ET.2019.8878503>.

⁷ George Angelov et al., “Analysis of Parameter Variability Depending on FinFET Wafer Location,” in *Proceedings of the International Spring Seminar on Electronics Technology*, vol. 2020-May (IEEE, 2020), 1–6, <https://doi.org/10.1109/ISSE49702.2020.9121089>.

между 6% и 12% от средната стойност, като при по-високи гейтови напрежения изменение е по-ниско, а по-ниски гейтови напрежения, отклонението е по-високо.

Публикация⁸ разглежда изменението на праговото напрежение на FinFET транзистори, произведени по 14-nm технологичен процес.



Фигура 3. Pelgrom графика на n-тип и p-tip FinFET

Анализирани са данни за 1273 n-тип и 1296 p-тип двойки съвместени транзистора, като данните са приведени във вид подходящ да се анализират чрез метод познат като Pelgrom графика (виж фиг. 3). Този метод позволява да сравни стандартното отклонение на праговото напрежение спрямо активната площ на транзистора. В резултат се получава параметъра A_{VT0} , който се явява наклона на регресионната линия. За анализираните 1273 n-тип и 1296 p-тип двойки съвместени транзистора се получи, че за n-тип $A_{VT0} = 1.27 \text{ mV}/\mu\text{m}$ и за p-тип $A_{VT0} = 1.38 \text{ mV}/\mu\text{m}$.

Следващите две публикации проектирането на вградени системи за специализирано обзавеждане.

⁸ George Angelov et al., “Study of Process Variability-Sensitive Local Device Parameters for 14-Nm Bulk FinFETs,” in *2020 43rd International Spring Seminar on Electronics Technology (ISSE)*, vol. 2020-May (IEEE, 2020), 1–4, <https://doi.org/10.1109/ISSE49702.2020.9121152>.

4. Софтуерен модел за автономен контрол на пътя и скоростта на автомобил

Тази статия ⁹ представя софтуерен модел за автономен контрол на робот, следващ линия. Моделът може да определя своята настояща позиция, да контролира скоростта си, латералната позиция, както и да преодолява препятствия. Локализацията е базирана на последователни измервания на настоящата скорост и изминат път, който бива сравнен с предварително определен маршрут. Настоящата позиция се определя чрез последователен вероятностен модел, описващ статистическата връзка между последователността на наблюденията от краен брой състояния. Предложеният модел взема под внимание грешката в измервания и изтощаването на батерията на робота. Локализацията позволява да се определи ефективен контрол на скоростта и преодоляването на различни препятствия.

5. Сензорен възел за наблюдение на шумови параметри

Публикация ¹⁰ представя проектирането и реализацията на интелигентен сензорен възел за разпределено наблюдение на шумовото замърсяване. Основната мотивация, е че милиони хора, в световен мащаб, са изложени на високи нива на шум в градската среда. Основният източник на шум е общественият транспорт и най-вече железопътният транспорт. Първата стъпка при определяне на риска е да се проведат проучвания за нивата на шум в основните възли на градските транспортни системи. Сензорният модул е основно предназначен за оценка на шумовото натоварване на потребителите на об-

⁹ Dimitar Nikolov et al., “Autonomous Navigation and Speed Control for Line Following Robot,” in *2018 IEEE XXVII International Scientific Conference Electronics - ET* (IEEE, 2018), 1–4, <https://doi.org/10.1109/ET.2018.8549580>.

¹⁰ Dimitar Nikolov et al., “Smart Sensor Node for Distributed Noise Monitoring,” in *2020 29th International Scientific Conference Electronics, ET 2020 - Proceedings* (Sozopol, Bulgaria, 2020), <https://doi.org/10.1109/ET50336.2020.9238169>.

ществения транспорт. Измерванията с него се извършват на спирки на различен вид обществен транспорт като трамваен, подземна железница и автобусен.

Първите резултати от измерванията показват, че нивата на шум в метрото и автобусните спирки могат да надвишават препоръчаните насоки за експозиция от Световната здравна организация (СЗО) и Европейската агенция за околната среда. Въз основа на измерванията могат да се предприемат действия за намаляване на риска от излагане на шум в метрото и автогарите.

4. Основни научно-приложни и приложни приноси

1. Изследвани, класифицирани и сравнени са нетрадиционни суб-микронни транзисторни елементи (FinFET, CNTFET) структури и електрическите им модели BSIM и PSP [1].
2. На базата на критичен анализ на влиянието на характеристикните параметри на модела на транзистор с въглеродна нанотръба (CNTFET) е предложен опростен модел за по-лесно практическо приложение, в който са премахнати параметри с пренебрежимо влияние. На базата на предложения модел е проектирана 2x2 6Т SRAM клетка памет за верифициране точността на модела [2-3].
3. Предложен, приложен и верифициран е метод за екстракция на параметри на модела на 14 nm FinFET. Новата методика за екстракция на параметри е приложена за над 50 различни полупроводникови структури и са определени параметрите на BSIM4 модела. Изследвано е експериментално и теоретично разпределението на транзисторните структури върху характеристикните параметри на p и n транзистори, включително и чрез използването на Pelgrom Plot [4-8].
4. Разработен, изследван и внедрен е софтуерен модел за автономен контрол на пътя и скоростта на автомобил [9].
5. Разработен и изследван е сензорен възел за наблюдение на шумови параметри [10].

5. Списък с публикации предоставени по група показатели В

- [1] Angelov, George V., Dimitar N. Nikolov, and Marin H. Hristov. "Technology and Modeling of Nonclassical Transistor Devices." *Journal of Electrical and Computer Engineering* 2019 (November 3, 2019): 1–18.
Scopus Q2, SJR 2019-0.29 <https://doi.org/10.1155/2019/4792461>.
- [2] Spasova, Mariya Lyubomirova, Dimitar Nikolov Nikolov, George Vasilev Angelov, Rossen Ivanov Radonov, and Marin Hristov Hristov. "Analysis of the Impact of CNTFET Model Parameters on Its Transfer and Output Characteristics." In *2016 XXV International Scientific Conference Electronics (ET)*, 1–4. IEEE, 2016. <https://doi.org/10.1109/ET.2016.7753513>.
- [3] Spasova, Mariya, Dimitar Nikolov, George Angelov, Rossen Radonov, and Marin Hristov. "SRAM Design Based on Carbon Nanotube Field Effect Transistor's Model with Modified Parameters." In *Proceedings of the International Spring Seminar on Electronics Technology*, 2017. <https://doi.org/10.1109/ISSE.2017.8000953>.
- [4] Angelov, George, Dimitar Nikolov, Mariya Spasova, Ivelina Ruskova, Jivko Rusev, and Rostislav Rusev. "Analysis of Experimental Data for 14-Nm FinFETs." In *2018 IEEE 27th International Scientific Conference Electronics, ET 2018 - Proceedings*, 1–4. IEEE, 2018. <https://doi.org/10.1109/ET.2018.8549623>.
- [5] Angelov, G., M. Spasova, D. Nikolov, I. Ruskova, and R. Rusev. "Extraction of Model Parameters for 14-Nm Bulk FinFET." In *Proceedings of the International Spring Seminar on Electronics Technology*, Vol. 2018-May, 2018. <https://doi.org/10.1109/ISSE.2018.8443678>.
- [6] Angelov, George Vasilev, Mariya Lyubomirova Spasova, Dimitar Nikolov Nikolov, and Rostislav Pavlov Rusev. "Study of P-Type FinFETs' Parameter Variability Depending on Wafer Location." In *2019 IEEE XXVIII International Scientific Conference Electronics (ET)*, 1–4. IEEE, 2019. <https://doi.org/10.1109/ET.2019.8878503>.

- [7] Angelov, George, Dimitar Nikolov, Mariya Spasova, Rossen Radonov, and Elitsa Gieva. “Analysis of Parameter Variability Depending on FinFET Wafer Location.” In *Proceedings of the International Spring Seminar on Electronics Technology*, 2020-May:1–6. IEEE, 2020. <https://doi.org/10.1109/ISSE49702.2020.9121089>.
- [8] Angelov, George, Dimitar Nikolov, Mariya Spasova, and Rostislav Rusev. “Study of Process Variability-Sensitive Local Device Parameters for 14-Nm Bulk FinFETs.” In *2020 43rd International Spring Seminar on Electronics Technology (ISSE)*, 2020-May:1–4. IEEE, 2020. <https://doi.org/10.1109/ISSE49702.2020.9121152>.
- [9] Nikolov, Dimitar, Georgi Zafirov, Ivan Stefanov, Kaloyan Nikov, and Stela Stefanova. “Autonomous Navigation and Speed Control for Line Following Robot.” In *2018 IEEE XXVII International Scientific Conference Electronics - ET*, 1–4. IEEE, 2018. <https://doi.org/10.1109/ET.2018.8549580>.
- [10] Nikolov, Dimitar, Borislav Ganev, Marin B. Marinov, and Nikolay Nikolov. “Smart Sensor Node for Distributed Noise Monitoring.” In *2020 29th International Scientific Conference Electronics, ET 2020 - Proceedings*. Sozopol, Bulgaria, 2020. <https://doi.org/10.1109/ET50336.2020.9238169>.